

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: **Tetsuya OOTSUKI** Examiner: **Unassigned**
Serial No.: **10/714,210** Group Art Unit: **Unassigned**
Filed: **November 14, 2003** Docket: **17262**
For: **SEMICONDUCTOR MEMORY
DEVICE ADAPTIVE FOR
USE CIRCUMSTANCE** Dated: **December 15, 2003**

**Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450**

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. §119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2002-332826 filed on November 15, 2002.

Respectfully submitted,

Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, New York 11530
(516) 742-4343

CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner For Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on December 15, 2003.

Dated: December 15, 2003


Paul J. Esatto, Jr.

US

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年11月15日

出願番号 Application Number: 特願2002-332826

[ST. 10/C]: [JP2002-332826]

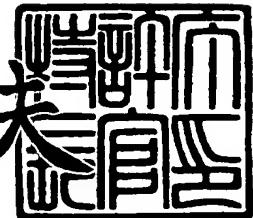
出願人 Applicant(s): エルピーダメモリ株式会社



2003年10月31日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



(●)

【書類名】 特許願**【整理番号】** 22310227**【提出日】** 平成14年11月15日**【あて先】** 特許庁長官 殿**【国際特許分類】** G11C 11/407

G11C 11/408

G11C 11/413

【発明者】**【住所又は居所】** 東京都中央区八重洲2-2-1 エルピーダメモリ株式会社内**【氏名】** 大月 哲也**【特許出願人】****【識別番号】** 500174247**【氏名又は名称】** エルピーダメモリ株式会社**【代理人】****【識別番号】** 100102864**【弁理士】****【氏名又は名称】** 工藤 実**【選任した代理人】****【識別番号】** 100099553**【弁理士】****【氏名又は名称】** 大村 雅生**【手数料の表示】****【予納台帳番号】** 053213**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1

【包括委任状番号】 0114854

【プルーフの要否】 要

~~~

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 複数のメモリセルを備えた複数のメモリセルアレイと、  
遅延制御信号を出力するモード制御部と、  
外部からのアドレスとアドレスバッファ制御信号とに基づいて前記複数のメモ  
リセルアレイにアクセスする命令実行部と、  
外部からのコマンドと前記遅延制御信号とに基づいて、前記アドレスバッファ  
制御信号を前記命令実行部に出力するコマンド制御部とを具備し、  
前記コマンド制御部は、  
前記遅延制御信号がインアクティブ状態であり、前記コマンドがライトコマン  
ド又はリードコマンドである通常動作モードのときに、クロック信号に同期して  
前記アドレスバッファ制御信号を出力し、  
前記遅延制御信号がアクティブ状態であり、前記コマンドが前記ライトコマン  
ドであるライト命令遅延動作モードのときに、前記クロック信号に同期して前記  
アドレスバッファ制御信号を出力し、  
前記遅延制御信号がアクティブ状態であり、前記コマンドが前記リードコマン  
ドであるリード命令遅延動作モードのときに、前記クロック信号から遅延して前  
記アドレスバッファ制御信号を出力する  
半導体記憶装置。

【請求項 2】 請求項 1 に記載の半導体記憶装置において、

前記コマンド制御部は、  
前記コマンドが前記ライトコマンドであるときに、前記クロック信号に同期し  
てコマンド信号をアクティブ状態にして前記命令実行部に出力し、  
前記コマンドが前記リードコマンドであるときに、前記クロック信号に同期し  
てコマンド信号をインアクティブ状態にして前記命令実行部に出力し、  
前記命令実行部は、前記アドレスと前記アドレスバッファ制御信号と前記コマ  
ンド信号とに基づいて、前記メモリセルアレイにアクセスする  
半導体記憶装置。

【請求項3】 請求項2に記載の半導体記憶装置において、

前記コマンド制御部は、コマンドデコーダ回路を備え、

前記コマンドデコーダ回路は、

外部からの前記コマンドを入力し、第1クロック信号に同期して前記コマンド信号を出力し、第2クロック信号に同期して前記アドレスバッファ制御信号を出力する制御回路と、

前記アドレスバッファ制御信号を遅延して出力する遅延回路と、

前記モード制御部からの前記遅延制御信号と前記コマンド信号とに基づいて、前記アドレスバッファ制御信号と前記遅延回路により遅延された前記アドレスバッファ制御信号との一方を選択して前記命令実行部に出力するマルチプレクサ回路とを備えた

半導体記憶装置。

【請求項4】 請求項2又は3に記載の半導体記憶装置において、

前記命令実行部は、前記コマンド信号がアクティブ状態であるときに、前記アドレスバッファ制御信号に基づいて、前記アドレスにデータを書込む

半導体記憶装置。

【請求項5】 請求項2又は3に記載の半導体記憶装置において、

前記命令実行部は、前記コマンド信号がインアクティブ状態であるときに、前記アドレスバッファ制御信号に基づいて、前記アドレスから、データを読み出す

半導体記憶装置。

【請求項6】 請求項1～5のいずれか一項に記載の半導体記憶装置を具備するコンピュータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、DDR-SDRAM (Double Data Rate-Synchronous Dynamic Access Memory) に適用される半導体記憶装置に関する。

【0002】

### 【従来の技術】

近年、計算機の主記憶装置として、クロックに同期して動作する SDRAM が特開2000-40363号公報、特開2000-132966号公報、特開2002-025255号公報、特開2000-268565号公報、特開2001-093280号公報に開示されている。

### 【0003】

SDRAMの中でも、データ転送速度の向上を図るために、

(1) 入出力ビット数  $n$  ( $n$  は整数) の 2 倍の  $2^n$  ビットのデータを同時に読み書きする ( $2^n$  ビットプリフェッチ方式) 、

(2) データの取り込みを、クロック信号の変わりにストローブ信号によって行う、

ことを特徴とする DDR-SDRAM、DDR-II-SDRAM が一般的になりつつある。DDR-SDRAMの場合、 $n$  は 1 であり、DDR-II-SDRAM の場合、 $n$  は 2 である。以下、 $2^n$  ビットプリフェッチ方式が採用される DDR-SDRAM を例にして説明する。

### 【0004】

図 5 は、第 1 従来例の半導体記憶装置の回路構成を示す。この第 1 従来例の半導体記憶装置におけるメモリ動作 (メモリアクセス) としてリード動作の説明については、カラムセレクト線 CSL の活性化までとする。

第 1 従来例の半導体記憶装置は、メモリセルアレイ 1、2、ロウデコーダ回路 3、4、センスアンプ回路 5、6、アドレス初段回路 7、アドレスラッチ回路 8、X アドレスバッファ回路 9、Y アドレスバッファ回路 10、コマンド初段回路 11、コマンドデコーダ回路 12、クロック初段回路 13、カラム系コントロール回路 14、データ初段回路 15、データストローブ初段回路 16、データラッチ回路 17、ライトバッファ回路 18、ライトアンプ回路 19、20、カラムデコーダ回路 21、22 を具備する。

この第 1 従来例の半導体記憶装置は、コンピュータ (図示しない) に搭載される。そのコンピュータが備える構成としては、第 1 従来例の半導体記憶装置の他に、CPU (Central Processing Unit) (図示しない)

)、クロック発生回路（図示しない）が挙げられる。

### 【0005】

メモリセルアレイ1は、even側のメモリセルアレイであり、メモリセルアレイ2は、odd側のメモリセルアレイである。メモリセルアレイ1、2は、(N×M)個(N=1、2、3、…；M=1、2、3、… )のメモリセルを備えている。メモリセルアレイ1、2の(N×M)個のメモリセルは、N行・M列に配列されている。

### 【0006】

メモリセルアレイ1のN行のうちの1つの行に属するM個のメモリセルは、ワード線で互いに接続されている。そのワード線には、ロウデコーダ回路3が接続されている。メモリセルアレイ1のM列のうちの1つの列に属するN個のメモリセルは、ビット線で互いに接続されている。そのビット線には、センスアンプ回路5が接続されている。メモリセルアレイ1の各メモリセルは、カラムセレクト線CSLに接続されている。そのカラムセレクト線CSLには、カラムデコーダ回路21が接続されている。

メモリセルアレイ2のN行のうちの1つの行に属するM個のメモリセルは、ワード線で互いに接続されている。そのワード線には、ロウデコーダ回路4が接続されている。メモリセルアレイ2のM列のうちの1つの列に属するN個のメモリセルは、ビット線で互いに接続されている。そのビット線には、センスアンプ回路6が接続されている。メモリセルアレイ2の各メモリセルは、カラムセレクト線CSLに接続されている。そのカラムセレクト線CSLには、カラムデコーダ回路22が接続されている。

### 【0007】

クロック初段回路13は、クロック発生回路からクロック信号CLKを入力して内部クロック信号ICLKに変換し、その内部クロック信号ICLKをアドレスラッチ回路8、Yアドレスバッファ回路10、コマンドデコーダ回路12、カラム系コントロール回路14、データラッチ回路17に出力する。

### 【0008】

アドレス初段回路7は、クロック信号CLK（図示省略）に応じて、CPUか

らアドレスADDを入力して内部コマンドでアドレスCADDに変換し、そのアドレスCADDをアドレスラッチ回路8に出力する。

アドレスラッチ回路8は、クロック信号CLK（図示省略）に応じて、アドレス初段回路7からのアドレスCADDを取り込む（ラッチする）。アドレスラッチ回路8は、内部クロック信号ICLKに同期して、そのアドレスCADDをアドレスIAとしてXアドレスバッファ回路9、Yアドレスバッファ回路10に出力する。

#### 【0009】

コマンド初段回路11は、クロック信号CLK（図示省略）に応じて、CPUからコマンドCSB（コマンドセレクトバー）、RASB（ロードアドレスストローブバー）、C ASB（カラムアドレスストローブバー）、WEB（ライトイネーブルバー）を入力して内部コマンドCでコマンドCCS、CRAS、CCAS、CWEに変換し、そのコマンドCCS、CRAS、CCAS、CWEをコマンドデコーダ回路12に出力する。

#### 【0010】

コマンドデコーダ回路12は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWEを入力する。コマンドデコーダ回路12は、内部クロック信号ICLKに同期して、Yアドレスバッファ制御信号YALをアクティブ状態にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。コマンドデコーダ回路12は、次のロック信号ICLKに同期して、Yアドレスバッファ制御信号NYALをアクティブ状態にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

コマンドCWEがライトコマンドを表す場合（ライト動作を表す場合）、コマンドデコーダ回路12は、内部クロック信号ICLKに同期して、コマンド信号WB STをアクティブ状態にしてカラム系コントロール回路14に出力する。

コマンドCWEがリードコマンドを表す場合（リード動作を表す場合）、コマンドデコーダ回路12は、内部クロック信号ICLKに同期して、コマンド信号WB STをインアクティブ状態にしてカラム系コントロール回路14に出力する。

### 【0011】

Xアドレスバッファ回路9は、アドレスラッチ回路8からのアドレスIAを入力し、そのアドレスIAがXアドレス（行アドレス）である場合、そのXアドレスであるアドレスXAをロウデコーダ回路3、4に出力する。

ロウデコーダ回路3、4は、Xアドレスバッファ回路9からのアドレスXAをデコードし、メモリセルアレイ1、2の各メモリセルにつながるワード線のうち、そのアドレスXA（Xアドレス）の値に応じたワード線を駆動する。

Yアドレスバッファ回路10は、内部クロック信号ICLKに同期して、アドレスラッチ回路8からのアドレスIAを取り込む。Yアドレスバッファ回路10は、そのアドレスIAがYアドレス（列アドレス）である場合、Yアドレスバッファ制御信号YAL、NYALに応じて、そのYアドレスであるアドレスYAをカラムデコーダ回路21、22に出力する。

### 【0012】

カラム系コントロール回路14は、コマンドデコーダ回路12からのコマンド信号WBSTがアクティブ状態であるときに、コマンドデコーダ回路12からのYアドレスバッファ制御信号YALを入力した場合、Yアドレスバッファ制御信号YALに応じて、ライトバッファ制御信号W0をアクティブ状態にしてライトバッファ回路18に出力する。

カラム系コントロール回路14は、コマンドデコーダ回路12からのコマンド信号WBSTがアクティブ状態であるときに、コマンドデコーダ回路12からのYアドレスバッファ制御信号NYALを入力した場合、内部クロック信号ICLKに同期して、ライトバッファ制御信号W0をインアクティブ状態にしてライトバッファ回路18に出力する。

カラム系コントロール回路14は、Yアドレスバッファ制御信号YAL、NYALに応じて、カラムセレクト線制御信号YSELをアクティブ状態にしてカラムデコーダ回路21、22に出力する。

コマンド信号WBSTがアクティブ状態である場合（ライト動作を表す場合）、カラム系コントロール回路14は、Yアドレスバッファ制御信号YAL、NYALに応じて、ライトアンプ制御信号WAЕをアクティブ状態にしてライトアン

プリ回路19、20に出力する。

#### 【0013】

カラムデコーダ回路21、22は、カラム系コントロール回路14からのカラムセレクト線制御信号YSELに応じて、Yアドレスバッファ回路10からのアドレスYAをデコードする。カラムデコーダ回路21、22は、メモリセルアレイ1、2の各メモリセルに接続されたカラムセレクト線CSLのうち、そのアドレスYA（Yアドレス）の値に応じたカラムセレクト線CSLを駆動する。

#### 【0014】

データ初段回路15は、クロック信号CLK（図示省略）に応じて、CPUからデータDQを入力して内部コマンドCでデータCDQに変換し、そのデータCDQをデータラッチ回路17に出力する。

データストローブ初段回路16は、クロック発生回路からクロック信号CLKに同期したデータストローブDQSを入力して内部コマンドCでデータストローブCDQSに変換し、そのデータストローブCDQSをデータラッチ回路17に出力する。

データラッチ回路17は、データストローブCDQSに応じてデータ初段回路15からのデータCDQを取込む。データラッチ回路17は、内部クロック信号ICLKに同期して、そのデータCDQをデータIDQとしてライトバッファ回路18に出力する。

ライトバッファ回路18は、カラム系コントロール回路14からのライトバッファ制御信号WOにより、データIDQをライトバスWBUSとしてライトアンプ回路19、20に出力する。

ライトアンプ回路19、20は、カラム系コントロール回路14からのライトアンプ制御信号WAEに応じて、ライトバッファ回路18からのライトバスWBUS（データ）を書込入力データIOとしてセンスアンプ回路5、6に出力する。

#### 【0015】

センスアンプ回路5、6は、ロウデコーダ回路3、4によりワード線が駆動されたときに、メモリセルアレイ1、2の各メモリセルに接続されたピット線に電

圧を供給し、ビット線の電位を増幅させる。

ライト動作時にカラムデコーダ回路21、22によりカラムセレクト線C S Lが駆動されている場合、センスアンプ回路5、6は、ライトアンプ回路19、20からの書込入力データI Oをビット線に出力し、ビット線に接続されたメモリセル（アドレス）には書込入力データI Oが書き込まれる。

### 【0016】

次に、第1従来例の半導体記憶装置のライト動作について説明する。

初期動作として、アドレス初段回路7がクロック信号C L Kに同期してアドレスADDとしてXアドレスを入力し、そのアドレスC ADD（アドレスXA）を出力したものとする。アドレスラッチ回路8は、内部クロック信号I C L Kに同期して、アドレスC ADD（アドレスXA）をアドレスI Aとして出力したものとする。Xアドレスバッファ回路9は、アドレスI A（アドレスXA）を入力し、そのアドレスXAをロウデコーダ回路3、4に出力したものとする。ロウデコーダ回路3、4は、Xアドレスバッファ回路9からのアドレスXAをデコードし、そのアドレスXA（Xアドレス）の値に応じたワード線を駆動しているものとする。センスアンプ回路5、6は、ロウデコーダ回路3、4によりワード線が駆動されたときに、メモリセルアレイ1、2の各メモリセルに接続されたビット線に電圧を供給し、ビット線の電位が増幅されているものとする。

### 【0017】

ライト動作の条件として、コマンドW E Bがライトコマンドを表し、コマンド初段回路11がクロック信号C L Kに同期してコマンドC S B、R A S B、C A S B、W E B（ライトコマンド）を入力し、コマンドC C S、C R A S、C C A S、C W E（ライトコマンド）をコマンドデコーダ回路12に出力したものとする。アドレス初段回路7がクロック信号C L Kに同期してアドレスADDとしてYアドレスであるアドレスY0を入力し、アドレスC ADD（アドレスY0）をアドレスラッチ回路8に出力したものとする。データ初段回路15がクロック信号C L Kに同期してデータD QとしてデータD 0（e v e n）、D 1（o d d）、D 2（e v e n）、D 3（o d d）を入力し、データC D Q（データD 0、D 1、D 2、D 3）をデータラッチ回路17に出力したものとする。このときのバ

ースト長を4とする。

### 【0018】

図6に示されるように、コマンド初段回路11がクロック信号CLKに同期してライトコマンドを入力するときの時間をP0とする。クロック初段回路13は、時間P0、P1、P2、P3、P4、…、にてクロック信号CLKを入力したときに、そのクロック信号CLKの立ち上がりエッジを検出して、ワンショットパルス信号として内部クロック信号ICLKを、タイミングT0、T1、T2、T3、T4、…、の時間にて出力する。

データストローブ初段回路16は、時間P0、P1、P2、P3、P4、…、にてクロック信号CLKに同期したデータストローブDQSを入力し、データストローブCDQSをデータラッチ回路17に出力する。

内部クロック信号ICLKは、クロック信号CLKに対して、(P0-T0)、(P1-T1)、(P2-T2)、(P3-T3)、(P4-T4)、…、の時間差で出力される。

### 【0019】

データラッチ回路17は、時間P1におけるデータストローブCDQS(データストローブDQS)の立ち上がりエッジに応じて、データCDQ(データDQ)であるデータD0(even)を、データラッチ回路17に設けられた図示しない第1データ保持部(even側)に取込む。図6に示されたデータD0(e)は、データD0(even)を表す。

データラッチ回路17は、時間P1におけるデータストローブCDQS(データストローブDQS)の立ち下がりエッジに応じて、データCDQ(データDQ)であるデータD1を、データラッチ回路17に設けられた図示しない第2データ保持部(odd側)に取込む。図6に示されたデータD1(o)は、データD1(odd)を表す。

データラッチ回路17は、時間P2におけるデータストローブCDQS(データストローブDQS)の立ち上がりエッジに応じて、データCDQ(データDQ)であるデータD2を、その第1データ保持部(even側)に取込む。図6に示されたデータD2(e)は、データD2(even)を表す。

データラッチ回路17は、時間P2におけるデータストローブCDQS（データストローブDQS）の立ち下がりエッジに応じて、データCDQ（データDQ）であるデータD3を、その第2データ保持部（odd側）に取込む。図6に示されたデータD3(o)は、データD3(odd)を表す。

データラッチ回路17は、その第1データ保持部に取込まれたデータD0(even)とその第2データ保持部に取込まれたデータD1(odd)とを、タイミングT2における内部クロック信号ICLKの立ち上がりエッジに応じて、データラッチ回路17に設けられた図示しない第3データ保持部に並列に取込み、その第3データ保持部に取込まれたデータD0(even)、データD1(odd)をデータIDQとしてライトバッファ回路18に出力する。

データラッチ回路17は、その第1データ保持部に取込まれたデータD2(even)とその第2データ保持部に取込まれたデータD3(odd)とを、タイミングT3における内部クロック信号ICLKの立ち上がりエッジに応じて、その第3データ保持部に並列に取込み、その第3データ保持部に取込まれたデータD2(even)、データD3(odd)をデータIDQとしてライトバッファ回路18に出力する。

### 【0020】

コマンドデコーダ回路12は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWE（ライトコマンド）を入力すると、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、コマンド信号WBSTをアクティブ状態（Hiレベル）にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、タイミングT2における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号YALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、タイミングT3における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッ

ファ回路10、カラム系コントロール回路14に出力する。

### 【0021】

Yアドレスバッファ制御信号YALは、バースト1発目のYアドレスバッファ制御信号であり、Yアドレスバッファ制御信号NYALは、バースト2発目のYアドレスバッファ制御信号である。バースト長が4であるため、タイミングT2からタイミングT4までがライトのバースト期間となる。

カラム系コントロール回路14は、コマンドデコーダ回路12からのコマンド信号WBSTがアクティブ状態であるときに、コマンドデコーダ回路12からタイミングT2におけるYアドレスバッファ制御信号YAL（ワンショットパルス信号）を入力する。このとき、カラム系コントロール回路14は、タイミングT2におけるYアドレスバッファ制御信号YALに応じて、バースト期間の開始としてライトバッファ制御信号W0をアクティブ状態（Hiレベル）にしてライトバッファ回路18に出力する。

カラム系コントロール回路14は、コマンドデコーダ回路12からのコマンド信号WBSTがアクティブ状態であるときに、コマンドデコーダ回路12からタイミングT3におけるYアドレスバッファ制御信号NYAL（ワンショットパルス信号）を入力する。カラム系コントロール回路14は、タイミングT4における内部クロック信号ICLKに同期して、バースト期間の終了としてライトバッファ制御信号W0をインアクティブ状態（Lowレベル）にしてライトバッファ回路18に出力する。

### 【0022】

このように、ライトバッファ制御信号W0がアクティブ状態（Hiレベル）であるときがバースト期間である。このとき、ライトバッファ回路18はデータラッシュ回路17のバッファとして働く。

ライトバッファ回路18は、バースト期間であるタイミングT2からタイミングT3の間に、データIDQであるデータD0（even）をライトバスWBUSとしてライトアンプ回路19に出力し、データIDQであるデータD1（odd）をライトバスWBUSとしてライトアンプ回路20に出力する。

ライトバッファ回路18は、バースト期間であるタイミングT3からタイミン

ゲT4の間に、データIDQであるデータD2（e v e n）をライトバスWBUSとしてライトアンプ回路19に出力し、データIDQであるデータD3（o d d）をライトバスWBUSとしてライトアンプ回路20に出力する。

### 【0023】

アドレスラッチ回路8は、クロック信号CLK（時間P0）に応じて、アドレス初段回路7からのアドレスCADD（アドレスY0）を取り込み、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、そのアドレスCADD（アドレスY0）をアドレスIAとして出力する。

### 【0024】

Yアドレスバッファ回路10は、アドレスラッチ回路8からのアドレスIA（アドレスY0）をアドレスYAとして、Yアドレスバッファ回路10に設けられた図示しないアドレス保持部に取込む。

$2^n$ ビットプリフェッチ方式のため、タイミングT2にて、アドレスY0とアドレスY1との2種類のYアドレスがアドレスYAとして出力される。アドレスY0は、e v e n側のメモリセルアレイ1の各メモリセルに接続されたカラムセレクト線CSLのうちのカラムセレクト線CSL0に対応するアドレスである。アドレスY1は、o d d側のメモリセルアレイ2の各メモリセルに接続されたカラムセレクト線CSLのうちのカラムセレクト線CSL1に対応するアドレスである。

同様に、タイミングT3にて、アドレスY2とアドレスY3との2種類のYアドレスがアドレスYAとして出力される。アドレスY2は、e v e n側のメモリセルアレイ1の各メモリセルに接続されたカラムセレクト線CSLのうちのカラムセレクト線CSL2に対応するアドレスである。アドレスY3は、o d d側のメモリセルアレイ2の各メモリセルに接続されたカラムセレクト線CSLのうちのカラムセレクト線CSL3に対応するアドレスである。

アドレスY0とアドレスY2との関係、アドレスY1とアドレスY3との関係は、下記式：

$$Y2 = Y0 + 2$$

$$Y3 = Y1 + 3$$

で表される。

### 【0025】

したがって、Yアドレスバッファ回路10は、タイミングT2におけるYアドレスバッファ制御信号YALの立ち上がりエッジに応じて、アドレスYAとしてアドレスY0（even）をカラムデコーダ回路21に出力し、アドレスYAとしてアドレスY1（odd）をカラムデコーダ回路22に出力する。

Yアドレスバッファ回路10は、タイミングT3におけるYアドレスバッファ制御信号NYALの立ち上がりエッジに応じて、アドレスYAとしてアドレスY2（even）をカラムデコーダ回路21に出力し、アドレスYAとしてアドレスY3（odd）をカラムデコーダ回路22に出力する。

### 【0026】

カラム系コントロール回路14は、タイミングT2におけるYアドレスバッファ制御信号YALに応じて、カラムセレクト線制御信号YSELをアクティブ状態（Hiレベル）にしてカラムデコーダ回路21、22に出力し、ライトアンプ制御信号WAEをアクティブ状態（Hiレベル）にしてライトアンプ回路19、20に出力する。

カラム系コントロール回路14は、タイミングT3におけるYアドレスバッファ制御信号NYALに応じて、カラムセレクト線制御信号YSELをアクティブ状態（Hiレベル）にしてカラムデコーダ回路21、22に出力し、ライトアンプ制御信号WAEをアクティブ状態（Hiレベル）にしてライトアンプ回路19、20に出力する。

### 【0027】

カラムデコーダ回路21は、タイミングT2におけるカラムセレクト線制御信号YSELに応じて、タイミングT2でカラムセレクト線CSL0（even）を駆動するために、カラムセレクト線CSL0（even）に流れる信号をアクティブ状態（Hiレベル）にする。

カラムデコーダ回路22は、タイミングT2におけるカラムセレクト線制御信号YSELに応じて、タイミングT2でカラムセレクト線CSL1（odd）を駆動するために、カラムセレクト線CSL1（odd）に流れる信号をアクティ

ブ状態（H i レベル）にする。

カラムデコーダ回路21は、タイミングT3におけるカラムセレクト線制御信号YSELに応じて、タイミングT3でカラムセレクト線CSL2（even）を駆動するために、カラムセレクト線CSL2（even）に流れる信号をアクティブ状態（H i レベル）にする。

カラムデコーダ回路22は、タイミングT3におけるカラムセレクト線制御信号YSELに応じて、タイミングT3でカラムセレクト線CSL3（odd）を駆動するために、カラムセレクト線CSL3（odd）に流れる信号をアクティブ状態（H i レベル）にする。

### 【0028】

ライトアンプ回路19は、タイミングT2におけるライトアンプ制御信号WA Eに応じて、ライトバッファ回路18からのライトバスWBUS {データD0 (even)} を書込入力データIOとしてセンスアンプ回路5に出力する。センスアンプ回路5は、ライトアンプ回路19からの書込入力データIO {データD0 (even)} をビット線に出力し、ビット線に接続されたメモリセル（アドレスY0）には書込入力データIO {データD0 (even)} が書き込まれる。

ライトアンプ回路20は、タイミングT2におけるライトアンプ制御信号WA Eに応じて、ライトバッファ回路18からのライトバスWBUS {データD1 (odd)} を書込入力データIOとしてセンスアンプ回路6に出力する。センスアンプ回路6は、ライトアンプ回路20からの書込入力データIO {データD1 (odd)} をビット線に出力し、ビット線に接続されたメモリセル（アドレスY1）には書込入力データIO {データD1 (odd)} が書き込まれる。

ライトアンプ回路19は、タイミングT3におけるライトアンプ制御信号WA Eに応じて、ライトバッファ回路18からのライトバスWBUS {データD2 (even)} を書込入力データIOとしてセンスアンプ回路5に出力する。センスアンプ回路5は、ライトアンプ回路19からの書込入力データIO {データD2 (even)} をビット線に出力し、ビット線に接続されたメモリセル（アドレスY2）には書込入力データIO {データD2 (even)} が書き込まれる

。

ライトアンプ回路20は、タイミングT3におけるライトアンプ制御信号WEに応じて、ライトバッファ回路18からのライトバスWBUS {データD3 (odd)}を書込入力データIOとしてセンスアンプ回路6に出力する。センスアンプ回路6は、ライトアンプ回路20からの書込入力データIO {データD3 (odd)}をビット線に出力し、ビット線に接続されたメモリセル（アドレスY3）には書込入力データIO {データD3 (odd)}が書き込まれる。

### 【0029】

次に、第1従来例の半導体記憶装置のリード動作について説明する。初期動作は、ライト動作時と同様である。

リード動作の条件として、コマンドWEBがリードコマンドを表し、コマンド初段回路11がクロック信号CLKに同期してコマンドCSB、RASB、CASB、WEB（リードコマンド）を入力し、コマンドCCS、CRAS、CCA S、CWE（リードコマンド）をコマンドデコーダ回路12に出力したものとする。アドレス初段回路7がクロック信号CLKに同期してアドレスADDとしてYアドレスであるアドレスY0を入力し、アドレスCADD（アドレスY0）をアドレスラッチ回路8に出力したものとする。

### 【0030】

図7に示されるように、コマンド初段回路11がクロック信号CLKに同期してリードコマンドを入力するときの時間をP0とする。クロック初段回路13は、時間P0、P1、P2、P3、P4、…、にてクロック信号CLKを入力したときに、そのクロック信号CLKの立ち上がりエッジを検出して、ワンショットパルス信号として内部クロック信号ICLKを、タイミングT0、T1、T2、T3、T4、…、の時間にて出力する。

内部クロック信号ICLKは、クロック信号CLKに対して、(P0-T0)、(P1-T1)、(P2-T2)、(P3-T3)、(P4-T4)、…、の時間差で出力される。

### 【0031】

コマンドデコーダ回路12は、コマンド初段回路11からコマンドCCS、C

RAS、CCAS、CWE（リードコマンド）を入力すると、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、コマンド信号WBSTをインアクティブ状態（Lowレベル）にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号YALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、タイミングT1における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

#### 【0032】

アドレスラッチ回路8は、クロック信号CLK（時間P0）に応じて、アドレス初段回路7からのアドレスCADD（アドレスY0）を取り込み、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、そのアドレスCADD（アドレスY0）をアドレスIAとして出力する。

#### 【0033】

Yアドレスバッファ回路10は、アドレスラッチ回路8からのアドレスIA（アドレスY0）をアドレスYAとしてYアドレスバッファ回路10に設けられた図示しないアドレス保持部に取込む。

$2^n$ ビットプリフェッチ方式のため、タイミングT0にて、ライト動作時と同様に、アドレスYAとして、アドレスY0（カラムセレクト線CSL0に対応）とアドレスY1（カラムセレクト線CSL1に対応）との2種類のYアドレスが出力される。

タイミングT1にて、ライト動作時と同様に、アドレスYAとして、アドレスY2（カラムセレクト線CSL2に対応）とアドレスY3（カラムセレクト線CSL3に対応）との2種類のYアドレスが出力される。

#### 【0034】

したがって、Yアドレスバッファ回路10は、タイミングT0におけるYアドレスバッファ制御信号YALの立ち上がりエッジに応じて、アドレスYAとしてアドレスY0（even）をカラムデコーダ回路21に出力し、アドレスYAとしてアドレスY1（odd）をカラムデコーダ回路22に出力する。

Yアドレスバッファ回路10は、タイミングT1におけるYアドレスバッファ制御信号NYALの立ち上がりエッジに応じて、アドレスYAとしてアドレスY2（even）をカラムデコーダ回路21に出力し、アドレスYAとしてアドレスY3（odd）をカラムデコーダ回路22に出力する。

### 【0035】

カラム系コントロール回路14は、タイミングT0におけるYアドレスバッファ制御信号YALに応じて、カラムセレクト線制御信号YSELをアクティブ状態（Hiレベル）にしてカラムデコーダ回路21、22に出力する。

カラム系コントロール回路14は、タイミングT1におけるYアドレスバッファ制御信号NYALに応じて、カラムセレクト線制御信号YSELをアクティブ状態（Hiレベル）にしてカラムデコーダ回路21、22に出力する。

### 【0036】

カラムデコーダ回路21は、タイミングT0におけるカラムセレクト線制御信号YSELに応じて、タイミングT0でカラムセレクト線CSL0（even）を駆動するために、カラムセレクト線CSL0（even）に流れる信号をアクティブ状態（Hiレベル）にする。

カラムデコーダ回路22は、タイミングT0におけるカラムセレクト線制御信号YSELに応じて、タイミングT0でカラムセレクト線CSL1（odd）を駆動するために、カラムセレクト線CSL1（odd）に流れる信号をアクティブ状態（Hiレベル）にする。

カラムデコーダ回路21は、タイミングT1におけるカラムセレクト線制御信号YSELに応じて、タイミングT1でカラムセレクト線CSL2（even）を駆動するために、カラムセレクト線CSL2（even）に流れる信号をアクティブ状態（Hiレベル）にする。

カラムデコーダ回路22は、タイミングT1におけるカラムセレクト線制御信

号YSELに応じて、タイミングT1でカラムセレクト線CSL3（odd）を駆動するために、カラムセレクト線CSL3（odd）に流れる信号をアクティブ状態（Hiレベル）にする。

### 【0037】

このように、第1従来例の半導体記憶装置では、リード動作時にコマンドデコーダ回路12がYアドレスバッファ制御信号YAL、NYALを出力する時間（タイミングT0、T1）は、ライト動作時にコマンドデコーダ回路12がYアドレスバッファ制御信号YAL、NYALを出力する時間（タイミングT2、T3）よりも2クロック早い。したがって、リード動作時では、ライト動作時に比べて、カラムセレクト線CSLが活性化されるタイミング（カラムセレクト線CSLに流れる信号がアクティブ状態になるタイミング）が2クロック分早い。このため、使用環境（例示：データ長、バースト長）によっては、アクティブコマンドにより活性化されたセンスアンプ回路5、6のデータが、リードコマンドにより活性化されたカラムセレクト線CSLによって破壊される可能性がある。

### 【0038】

特表平10-504129号公報では、tAAに利用できる余分の時間をより臨界的なパラメータtRCDにシフトすることによりチップの歩留まりを向上することを特徴とする回路が提案されている。

tAAとは、CAS LATENCY=1に設定したときに、リードコマンドが入力されるクロックから、DQ PADに全てのデータ（x8の場合では8つのデータ全て）が期待通りに出力されるまでの時間を表し、チップの性能を表す指標として用いられる。

tRCDとは、アクティブコマンドが入力されるクロックから、カラムコマンド（ライトコマンド／リードコマンド）が入力されるクロックまでの時間を表す。

### 【0039】

第1従来例の半導体記憶装置に上記の特徴を有する場合の半導体記憶装置を第2従来例として説明する。

図8は、第2従来例の半導体記憶装置の回路構成を示す。この第2従来例の半

導体記憶装置におけるメモリ動作（メモリアクセス）としてリード動作の説明については、第1従来例の半導体記憶装置と同様に、カラムセレクト線CSLの活性化までとする。

第2従来例の半導体記憶装置では、第1従来例の半導体記憶装置の回路構成に対して、更に、モード切替回路23を具備する。モード切替回路23は、コマンドデコーダ回路12に接続されている。

#### 【0040】

第2従来例の半導体記憶装置は、通常動作モードとカラムアドレス遅延動作モードとの一方を実行する。通常動作モードとカラムアドレス遅延動作モードとの一方は、使用環境（データ長、バースト長）に応じて決められ、モード切替回路23に予め設定されている。通常動作モードとは、第1従来例の半導体記憶装置のライト動作（図6参照）、リード動作（図7参照）を表す。

通常動作モードに設定されている場合、モード切替回路23は、カラムアドレス遅延制御信号LTAAをインアクティブ状態（Lowレベル）にしてコマンドデコーダ回路12に出力する。この場合、第2従来例の半導体記憶装置では、通常動作モードのライト動作、リード動作を実行する。

カラムアドレス遅延動作モードに設定されている場合、モード切替回路23は、カラムアドレス遅延制御信号LTAAをアクティブ状態（Hiレベル）にしてコマンドデコーダ回路12に出力する。この場合、第2従来例の半導体記憶装置では、カラムアドレス遅延動作モードのライト動作、リード動作を実行する。

#### 【0041】

次に、第2従来例の半導体記憶装置のカラムアドレス遅延動作モードのライト動作について説明する。

図9に示されるように、コマンドデコーダ回路12は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWE（ライトコマンド）を入力すると、タイミングT0における内部クロック信号ICKの立ち上がりエッジに応じて、コマンド信号WBSTをアクティブ状態（Hiレベル）にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、モード切替回路23からのカラムアドレス遅延

制御信号L T A Aがアクティブ状態である場合、通常動作モードに比べて所定の時間 $t_{DELAY}$ だけ遅らせた時間にYアドレスバッファ制御信号YAL、NYALをアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。所定の時間 $t_{DELAY}$ は、クロックCLKの立ち上がりから、次のクロックCLKの立ち上がりまでの時間より短く、内部クロック信号ICLKの立ち上がりから、その内部クロック信号ICLKの立ち下がりまでの時間より長い。

### 【0042】

具体的には、カラムアドレス遅延動作モードの場合、コマンドデコーダ回路12は、タイミングT2における内部クロック信号ICLKの立ち上がりエッジを検出してから所定の時間 $t_{DELAY}$ が経過したときにYアドレスバッファ制御信号YALをアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。コマンドデコーダ回路12は、タイミングT3における内部クロック信号ICLKの立ち上がりエッジを検出してから所定の時間 $t_{DELAY}$ が経過したときにYアドレスバッファ制御信号NYALをアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

### 【0043】

したがって、ライトバッファ制御信号W0がアクティブ状態（Hiレベル）になるタイミングは、所定の時間 $t_{DELAY}$ だけ遅れる。

データIDQ {データD0 (even)、D1 (odd)、D2 (even)、D3 (odd)} がライトバスWBUSとして出力されるタイミングは、所定の時間 $t_{DELAY}$ だけ遅れる。

アドレスYA {アドレスY0 (even)、Y1 (odd)、Y2 (even)、Y3 (odd)} が出力されるタイミングは、所定の時間 $t_{DELAY}$ だけ遅れる。

カラムセレクト線制御信号YSELがアクティブ状態（Hiレベル）になるタイミングは、所定の時間 $t_{DELAY}$ だけ遅れ、カラムセレクト線CSL {カラムセレクト線CSL0 (even)、CSL1 (odd)、CSL2 (even)}

)、CSL3 (odd) } に流れる信号がアクティブ状態 (Hi レベル) になるタイミングは、所定の時間 t D E R A Yだけ遅れる。

ライトアンプ制御信号WAEがアクティブ状態 (Hi レベル) になるタイミングは、所定の時間 t D E R A Yだけ遅れ、ライトバスWBUS {データD0 (even)、D1 (odd)、D2 (even)、D3 (odd) } が書込入力データIOとして出力されるタイミングは、所定の時間 t D E R A Yだけ遅れる。ビット線に接続されたメモリセル (アドレスY0、Y1、Y2、Y3) に書込入力データIO {データD0 (even)、D1 (odd)、D2 (even)、D3 (odd) } が書き込まれるタイミングは、所定の時間 t D E R A Yだけ遅れる。

#### 【0044】

次に、第2従来例の半導体記憶装置のカラムアドレス遅延動作モードのリード動作について説明する。

図10に示されるように、コマンドデコーダ回路12は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWE (ライトコマンド) を入力すると、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、コマンド信号WBSSTをインアクティブ状態 (Lowレベル) にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路12は、モード切替回路23からのカラムアドレス遅延制御信号LTAAがアクティブ状態である場合、通常動作モードに比べて所定の時間 t D E R A Yだけ遅らせた時間にYアドレスバッファ制御信号YAL、NYALをアクティブ状態 (Hi レベル) にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

#### 【0045】

具体的には、カラムアドレス遅延動作モードの場合、コマンドデコーダ回路12は、タイミングT0における内部クロック信号ICLKの立ち上がりエッジを検出してから所定の時間 t D E R A Yが経過したときにYアドレスバッファ制御信号YALをアクティブ状態 (Hi レベル) にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。コマンドデコーダ回路12は、タ

タイミングT1における内部クロック信号CLKの立ち上がりエッジを検出してから所定の時間tDERRYが経過したときにYアドレスバッファ制御信号NYALをアクティブ状態(Hiレベル)にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

#### 【0046】

したがって、カラムアドレス遅延動作モードでは、アドレスYA {アドレスY0 (even)、Y1 (odd)、Y2 (even)、Y3 (odd)} が出力されるタイミングは、通常動作モードに比べて所定の時間tDERRYだけ遅れる。カラムアドレス遅延動作モードでは、カラムセレクト線制御信号YSELがアクティブ状態(Hiレベル)になるタイミングは、通常動作モードに比べて所定の時間tDERRYだけ遅れ、カラムセレクト線CSL {カラムセレクト線CSL0 (even)、CSL1 (odd)、CSL2 (even)、CSL3 (odd)} に流れる信号がアクティブ状態(Hiレベル)になるタイミングは、通常動作モードに比べて所定の時間tDERRYだけ遅れる。したがって、第2従来例の半導体記憶装置のカラムアドレス遅延動作モードでは、リード動作時でデータを破壊する可能性がない。

#### 【0047】

また、図8、図10には示していないが、カラムアドレス遅延動作モードでは、カラムセレクト線CSLに流れる信号がアクティブ状態(Hiレベル)になるタイミングが通常動作モードに比べて遅れることに伴い、センスアンプ回路5、6からDQ PADまでのtAAパスが通常動作モードに比べて所定の時間tDERRYだけ遅れる。このように、カラムアドレス遅延動作モードでは、リード動作の場合、リードコマンドが入力されたときの時間P0におけるクロックCLKの立ち上がりから、カラムセレクト線CSLに流れる信号がアクティブ状態(Hiレベル)になるタイミングは、通常動作モードに比べて所定の時間tDERRAだけ遅れる。

このように、第2従来例の半導体記憶装置では、カラムアドレス遅延動作モードのtAAが通常動作モードのtAAに比べて所定の時間tDERRYだけ遅れるが、カラムアドレス遅延動作モードのtRCDを通常動作モードのtRCDに

比べて所定の時間  $t_{DERAY}$ だけ早めることができる。

#### 【0048】

しかしながら、カラムアドレス遅延動作モードでは、ライト動作の場合でも Y アドレスバッファ制御信号 YAL、NYAL がアクティブ状態 (Hi レベル) になるタイミングは、通常動作モードに比べて所定の時間  $t_{DERAY}$ だけ遅れる。すなわち、カラムアドレス遅延動作モードでは、ライトコマンドが入力されたときの時間  $P_0$  におけるクロック CLK の立ち上がりから、カラムセレクト線 CS\_L に流れる信号がアクティブ状態 (Hi レベル) になるまでの時間が、通常動作モードに比べて所定の時間  $t_{DERAY}$ だけ遅れる。

これにより、カラムアドレス遅延動作モードの  $t_{WR}$  についても通常動作モードの  $t_{WR}$  に比べて所定の時間  $t_{DERAY}$ だけ遅れてしまう。 $t_{WR}$  とは、ライトコマンドが入力されるクロックの 2 クロック後から、ワード線をリセットする動作を行うための基本クロック（プリチャージコマンドの場合、プリチャージコマンドが入力されるクロック）までの時間を表す。このように、第 1 従来例、第 2 従来例の半導体記憶装置では、使用環境（データ長、バースト長）に応じることができない。

#### 【0049】

##### 【特許文献 1】

特開 2000-40363 号公報

##### 【特許文献 2】

特開 2000-132966 号公報

##### 【特許文献 3】

特開 2002-025255 号公報

##### 【特許文献 4】

特開 2000-268565 号公報

##### 【特許文献 5】

特開 2001-093280 号公報

##### 【特許文献 6】

特表平 10-504129 号公報

### 【0050】

#### 【発明が解決しようとする課題】

本発明の目的は、使用環境に応じることができる半導体記憶装置を提供することにある。

本発明の他の目的は、カラムアドレス遅延動作モードのtWRが通常動作モードのtWRと同じであり、且つ、カラムアドレス遅延動作モードのtRCDを通常動作モードのtRCDに比べて早めることができる半導体記憶装置を提供することにある。

### 【0051】

#### 【課題を解決するための手段】

以下に、【発明の実施の形態】で使用する番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、【特許請求の範囲】の記載と【発明の実施の形態】の記載との対応関係を明らかにするために付加されたものであるが、【特許請求の範囲】に記載されている発明の技術的範囲の解釈に用いてはならない。

### 【0052】

本発明の半導体記憶装置では、2nビットプリフェッチ方式が採用されるDDR-SDRAMにおいて、使用環境（データ長、バースト長）に応じができるものである。

この本発明の半導体記憶装置は、複数のメモリセルアレイ（1、2）と、モード制御部（23）と、命令実行部（3～10、14～22）と、コマンド制御部（11、62）とを具備する。複数のメモリセルアレイ（1、2）は、複数のメモリセルを備えている。モード制御部（23）は、遅延制御信号（LTAA）を出力する。命令実行部（3～10、14～22）は、外部からのアドレスとアドレスバッファ制御信号（YAL、NYAL）とに基づいて複数のメモリセルアレイ（1、2）にアクセスする。コマンド制御部（11、62）は、外部からのコマンドと遅延制御信号（LTAA）とに基づいて、アドレスバッファ制御信号（YAL、NYAL）を命令実行部（3～10、14～22）に出力する。

このコマンド制御部（11、62）は、遅延制御信号（LTAA）がインアク

ティプ状態であり、コマンドがライトコマンド又はリードコマンドである（I、II）通常動作モードのときに、クロック信号（ICLK）に同期してアドレスバッファ制御信号（YAL、NYAL）を出力する。

コマンド制御部（11、62）は、遅延制御信号（LTAA）がアクティブ状態であり、コマンドがライトコマンドである（III）ライト命令遅延動作モードのときに、クロック信号（ICLK）に同期してアドレスバッファ制御信号（YAL、NYAL）を出力する。

コマンド制御部（11、62）は、遅延制御信号（LTAA）がアクティブ状態であり、コマンドがリードコマンドである（IV）リード命令遅延動作モードのときに、クロック信号（ICLK）から遅延してアドレスバッファ制御信号（YAL、NYAL）を出力する。

#### 【0053】

このように、（III）ライト命令遅延動作モード（カラムアドレス遅延動作モード）では、ライト動作時に、アドレスバッファ制御信号（YAL、NYAL）が出力されるタイミング（アクティブ状態になるタイミング）が（I）通常動作モードと同じである。このため、カラムアドレス遅延動作モードのtWR（ライトコマンドが入力されるクロックの2クロック後から、ワード線をリセットする動作を行うための基本クロックまでの時間）は、通常動作モードのtWRと同じである。

#### 【0054】

一方、（IV）リード命令遅延動作モード（カラムアドレス遅延動作モード）では、リード動作時に、アドレスバッファ制御信号（YAL、NYAL）が出力されるタイミング（アクティブ状態になるタイミング）は、通常動作モードに比べて所定の時間（tDELAY）だけ遅れる。したがって、カラムアドレス遅延動作モードでは、アクティブコマンドにより活性化された命令実行部{センスアンプ回路（5、6）}のデータが、複数のメモリセルに接続されていてリードコマンドにより活性化されたカラムセレクト線（CSL）によって破壊されない。

#### 【0055】

本発明の半導体記憶装置では、カラムアドレス遅延動作モードのtAA（リードコマンドにより活性化されたカラムセレクト線（CSL）によって破壊されない）

ドコマンドが入力されるクロックから、DQ PADに全てのデータが期待値通りに出力されるまでの時間) が通常動作モードの tAA に比べて所定の時間 (t D E R A Y) だけ遅れるが、カラムアドレス遅延動作モードの tRCD (アクティブコマンドが入力されるクロックから、カラムコマンドが入力されるクロックまでの時間) を通常動作モードの tRCD に比べて所定の時間 (t D E R A Y) だけ早めることができる。

#### 【0056】

このように、本発明の半導体記憶装置は、2nビットプリフェッチ方式が採用されるDDR-SDRAMにおいて、使用環境（データ長、バースト長）に応じることができる。

#### 【0057】

コマンド制御部 (11、62) は、コマンドがライトコマンドであるときに、クロック信号 (ICLK) に同期してコマンド信号 (WBST) をアクティブ状態にして命令実行部 (3~10、14~22) に出力する。

コマンド制御部 (11、62) は、コマンドがリードコマンドであるときに、クロック信号 (ICLK) に同期してコマンド信号 (WBST) をインアクティブ状態にして命令実行部 (3~10、14~22) に出力する。

命令実行部 (3~10、14~22) は、アドレスとアドレスバッファ制御信号 (YAL、NYAL) とコマンド信号 (WBST) とに基づいて、メモリセルアレイ (1、2) にアクセスする。

#### 【0058】

コマンド制御部 (11、62) は、コマンドデコーダ回路 (62) を備えている。このコマンドデコーダ回路 (62) は、制御回路 (31) と、遅延回路 (38、39) と、マルチプレクサ回路 (40、50) とを備えている。

制御回路 (31) は、外部からのコマンドを入力し、第1クロック信号 (ICLK) に同期してコマンド信号 (WBST) を出力し、第2クロック信号 (ICLK) に同期してアドレスバッファ制御信号 (YAL、NYAL) を出力する。

遅延回路 (38、39) は、アドレスバッファ制御信号 (YAL、NYAL) を遅延して出力する。

マルチプレクサ回路（40、50）は、モード制御部（23）からの遅延制御信号（L T A A）とコマンド信号（W B S T）とに基づいて、アドレスバッファ制御信号（Y A L、N Y A L）と遅延回路（38、39）により遅延されたアドレスバッファ制御信号（Y A L、N Y A L）との一方を選択して命令実行部（3～10、14～22）に出力する。

#### 【0059】

命令実行部（3～10、14～22）は、コマンド信号（W B S T）がアクティブ状態であるときに、アドレスバッファ制御信号（Y A L、N Y A L）に基づいて、アドレスにデータを書込む。

#### 【0060】

命令実行部（3～10、14～22）は、コマンド信号（W B S T）がインアクティブ状態であるときに、アドレスバッファ制御信号（Y A L、N Y A L）に基づいて、アドレスから、データを読み出す。

#### 【0061】

本発明のコンピュータ（図示しない）は、上記の半導体記憶装置を具備する。

#### 【0062】

##### 【発明の実施の形態】

添付図面を参照して、本発明による半導体記憶装置の実施の形態として、 $2^n$ ビットプリフェッチ方式が採用されるD D R - S D R A Mを例にして説明する。本発明の半導体記憶装置では、第1従来例、第2従来例の半導体記憶装置と同様の構成に同じ符合を付している。本発明では、第1従来例、第2従来例の半導体記憶装置と重複する説明を省略する。

#### 【0063】

図1は、本発明の半導体記憶装置の回路構成を示す。この図1に示される本発明の半導体記憶装置におけるメモリ動作（メモリアクセス）としてリード動作の説明についてはカラムセレクト線C S Lの活性化までとする。

#### 【0064】

本発明の半導体記憶装置は、複数のメモリセルを備えた複数のメモリセルアレイ1、2と、クロック初段回路13と、カラムアドレス遅延制御信号L T A Aを

出力するモード切替回路23と、命令実行部と、コマンド制御部とを具備する。

本発明の半導体記憶装置は、コンピュータに搭載されている。このコンピュータとは、第1従来例、第2従来例の半導体記憶装置に搭載されたコンピュータと同じである。命令実行部は、そのコンピュータに備えられたCPUからアドレスを入力する。コマンド制御部は、そのCPUからコマンドを入力する。

命令実行部は、ロウデコーダ回路3、4、センスアンプ回路5、6、アドレス初段回路7、アドレスラッチ回路8、Xアドレスバッファ回路9、Yアドレスバッファ回路10、カラム系コントロール回路14、データ初段回路15、データストローブ初段回路16、データラッチ回路17、ライトバッファ回路18、ライトアンプ回路19、20、カラムデコーダ回路21、22を含む。

コマンド制御部は、コマンド初段回路11、コマンドデコーダ回路62を含む。コマンドデコーダ回路62については、コマンドデコーダ回路12の変更点のみ説明する。

#### 【0065】

コマンドデコーダ回路62は、そのコマンドがライトコマンドであるときに、クロック初段回路13からの内部クロック信号ICLKに同期してコマンド信号WBS Tをアクティブ状態にして命令実行部（Yアドレスバッファ回路10、カラム系コントロール回路14）に出力する。

コマンドデコーダ回路62は、コマンドがリードコマンドであるときに、内部クロック信号ICLKに同期してコマンド信号WBS Tをインアクティブ状態にして命令実行部（Yアドレスバッファ回路10、カラム系コントロール回路14）に出力する。

コマンドデコーダ回路62は、そのコマンドとモード切替回路23からのカラムアドレス遅延制御信号LTAAとに基づいて、Yアドレスバッファ制御信号YAL、NYALをアクティブ状態にして命令実行部（Yアドレスバッファ回路10、カラム系コントロール回路14）に出力する。

#### 【0066】

命令実行部は、アドレスとYアドレスバッファ制御信号YAL、NYALとコマンド信号WBS Tとに基づいて複数のメモリセルアレイ1、2にアクセスする

。

この命令実行部は、コマンド信号WBS Tがアクティブ状態であるときに、Yアドレスバッファ制御信号YAL、NYALに基づいて、アドレスにデータを書込む。

命令実行部は、コマンド信号WBS Tがインアクティブ状態であるときに、Yアドレスバッファ制御信号YAL、NYALに基づいて、アドレスから、データを読み出す。

### 【0067】

本発明の半導体記憶装置では、第2従来例の半導体記憶装置と同様に、通常動作モードとカラムアドレス遅延動作モードとの一方を実行する。通常動作モードとカラムアドレス遅延動作モードとの一方は、使用環境（例示：データ長、バースト長）に応じて決められ、モード切替回路23に予め設定されている。通常動作モードとは、前述の第1従来例の半導体記憶装置のライト動作（図6参照）、リード動作（図7参照）を表す。

通常動作モードに設定されている場合、モード切替回路23は、カラムアドレス遅延制御信号LTA Aをインアクティブ状態（Lowレベル）にしてコマンドデコーダ回路62に出力する。この場合、本発明の半導体記憶装置では、通常動作モードのライト動作、リード動作を実行する。

カラムアドレス遅延動作モードに設定されている場合、モード切替回路23は、カラムアドレス遅延制御信号LTA Aをアクティブ状態（Hiレベル）にしてコマンドデコーダ回路62に出力する。この場合、本発明の半導体記憶装置では、カラムアドレス遅延動作モードのライト動作、リード動作を実行する。

### 【0068】

（I）通常動作モードとして、カラムアドレス遅延制御信号LTA Aがインアクティブ状態であり、コマンドがライトコマンドであるときに、コマンドデコーダ回路62は、内部クロック信号CLKに同期してYアドレスバッファ制御信号YAL、NYALをアクティブ状態にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

（II）通常動作モードとして、カラムアドレス遅延制御信号LTA Aがイン

アクティブ状態であり、コマンドがリードコマンドであるときに、コマンドデコーダ回路62は、内部クロック信号ICLKに同期してYアドレスバッファ制御信号YAL、NYALをYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

(III) カラムアドレス遅延動作モードとして、カラムアドレス遅延制御信号LTAAがアクティブ状態であり、コマンドがライトコマンドであるときに、コマンドデコーダ回路62は、内部クロック信号ICLKに同期してYアドレスバッファ制御信号YAL、NYALをYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

(IV) カラムアドレス遅延動作モードとして、カラムアドレス遅延制御信号LTAAがアクティブ状態であり、コマンドがリードコマンドであるときに、コマンドデコーダ回路62は、内部クロック信号ICLKから所定の時間tDERAYだけ遅延してYアドレスバッファ制御信号YAL、NYALをYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

#### 【0069】

図4は、上述のコマンドデコーダ回路62の構成を示す。コマンドデコーダ回路62は、制御回路31、反転素子32、34、35、36、37、NAND回路33、DERAY回路38、39、マルチプレクサ回路40、50を備えている。

DERAY回路38、39は偶数個の反転素子を備え、各反転素子は直列に接続されている。マルチプレクサ回路40は、反転素子41、46、PチャネルMOSトランジスタ(PMOSトランジスタ)42、44、NチャネルMOSトランジスタ(NMOSトランジスタ)43、45を備えている。マルチプレクサ回路50は、反転素子51、56、PMOSトランジスタ52、54、NMOSトランジスタ53、55を備えている。

#### 【0070】

制御回路31には、コマンド初段回路11、クロック初段回路13、カラム系コントロール回路14が接続されている。反転素子32の入力端子には制御回路31が接続され、反転素子32の出力端子は、NAND回路33の2入力端子の

うちの一方の入力端子に接続されている。NAND回路33の2入力端子のうちの他方の入力端子には、モード切替回路23が接続されている。NAND回路33の出力端子は、反転素子41の入力端子、NMOSトランジスタ43のゲート電極、PMOSトランジスタ44のゲート電極、反転素子51の入力端子、NMOSトランジスタ53のゲート電極、PMOSトランジスタ54のゲート電極に接続されている。

### 【0071】

反転素子34、36の入力端子には制御回路31が接続され、反転素子34の出力端子は、PMOSトランジスタ42のソース電極、NMOSトランジスタ43のドレイン電極に接続されている。反転素子36の出力端子は、DERAY回路38の初段の反転素子の入力端子に接続されている。DERAY回路38の最終段の反転素子の出力端子は、PMOSトランジスタ44のソース電極、NMOSトランジスタ45のドレイン電極に接続されている。反転素子41の出力端子は、PMOSトランジスタ42のゲート電極、NMOSトランジスタ45のゲート電極に接続されている。反転素子46の入力端子には、PMOSトランジスタ42のドレイン電極、NMOSトランジスタ43のソース電極、PMOSトランジスタ44のドレイン電極、NMOSトランジスタ45のソース電極が接続されている。反転素子46の出力端子は、Yアドレスバッファ回路10、カラム系コントロール回路14に接続されている。

### 【0072】

反転素子35、37の入力端子には制御回路31が接続され、反転素子35の出力端子は、PMOSトランジスタ52のソース電極、NMOSトランジスタ53のドレイン電極に接続されている。反転素子37の出力端子は、DERAY回路39の初段の反転素子の入力端子に接続されている。DERAY回路39の最終段の反転素子の出力端子は、PMOSトランジスタ54のソース電極、NMOSトランジスタ55のドレイン電極に接続されている。反転素子51の出力端子は、PMOSトランジスタ52のゲート電極、NMOSトランジスタ55のゲート電極に接続されている。反転素子56の入力端子には、PMOSトランジスタ52のドレイン電極、NMOSトランジスタ53のソース電極、PMOSトラン

ジスタ54のドレイン電極、NMOSトランジスタ55のソース電極が接続されている。反転素子56の出力端子は、Yアドレスバッファ回路10、カラム系コントロール回路14に接続されている。

#### 【0073】

まず、(I)通常動作モードとして、カラムアドレス遅延制御信号L T A Aがインアクティブ状態であり、コマンドがライトコマンドであるときのコマンドデコーダ回路62の動作を説明する。モード切替回路23は、カラムアドレス遅延制御信号L T A Aをインアクティブ状態(Lowレベル“0”)にしてコマンドデコーダ回路62のNAND回路33の一方の入力端子に出力する。

#### 【0074】

制御回路31は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWE(ライトコマンド)を入力すると、クロック初段回路13からのタイミングT0における内部クロック信号I C L Kの立ち上がりエッジに応じて、コマンド信号WBSTをアクティブ状態(Hiレベル“1”)にしてカラム系コントロール回路14と反転素子32の入力端子とに出力する。反転素子32は、コマンド信号WBST“1”をLowレベル“0”にしてNAND回路33の他方の入力端子に出力する。

NAND回路33は、カラムアドレス遅延制御信号L T A A“0”とコマンド信号WBST“0”により出力信号をHiレベル“1”にして反転素子41の入力端子、NMOSトランジスタ43のゲート電極、PMOSトランジスタ44のゲート電極、反転素子51の入力端子、NMOSトランジスタ53のゲート電極、PMOSトランジスタ54のゲート電極に出力する。これにより、スイッチとして働くPMOSトランジスタ42、52、NMOSトランジスタ43、53はオンになる。

#### 【0075】

制御回路31は、タイミングT2における内部クロック信号I C L Kの立ち上がりエッジに応じて、Yアドレスバッファ制御信号YAL0をワンショットパルス信号(Hiレベル“1”)として反転素子34、36の入力端子に出力する。

反転素子34は、Yアドレスバッファ制御信号YAL0をLowレベル“0”

にしてPMOSトランジスタ42のドレイン電極、NMOSトランジスタ43のドレイン電極に出力する。このとき、PMOSトランジスタ42、NMOSトランジスタ43がオンであるため、反転素子34からのYアドレスバッファ制御信号YAL0“0”は、PMOSトランジスタ42、NMOSトランジスタ43を介して反転素子46の入力端子に出力される。

反転素子46は、そのYアドレスバッファ制御信号YAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号YAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

#### 【0076】

制御回路31は、タイミングT3における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYAL0をワンショットパルス信号（Hiレベル“1”）として反転素子35、37の入力端子に出力する。

反転素子35は、Yアドレスバッファ制御信号NYAL0をLowレベル“0”にしてPMOSトランジスタ52のドレイン電極、NMOSトランジスタ53のドレイン電極に出力する。このとき、PMOSトランジスタ52、NMOSトランジスタ53がオンであるため、反転素子35からのYアドレスバッファ制御信号NYAL0“0”は、PMOSトランジスタ52、NMOSトランジスタ53を介して反転素子56の入力端子に出力される。

反転素子56は、そのYアドレスバッファ制御信号NYAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号NYAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

#### 【0077】

次に、（II）通常動作モードとして、カラムアドレス遅延制御信号L T A Aがインアクティブ状態であり、コマンドがリードコマンドであるときのコマンドデコーダ回路62の動作を説明する。モード切替回路23は、カラムアドレス遅延制御信号L T A Aをインアクティブ状態（Lowレベル“0”）にしてコマンドデコーダ回路62のNAND回路33の一方の入力端子に出力する。

#### 【0078】

制御回路31は、コマンド初段回路11からコマンドCCS、CRAS、C CAS、CWE（リードコマンド）を入力すると、クロック初段回路13からのタイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、コマンド信号WBSTをインアクティブ状態（Lowレベル“0”）にしてカラム系コントロール回路14と反転素子32の入力端子とに出力する。反転素子32は、コマンド信号WBST“0”をHiレベル“1”にしてNAND回路33の他方の入力端子に出力する。

NAND回路33は、カラムアドレス遅延制御信号LTAA“0”とコマンド信号WBST“1”により出力信号をHiレベル“1”にして反転素子41の入力端子、NMOSトランジスタ43のゲート電極、PMOSトランジスタ44のゲート電極、反転素子51の入力端子、NMOSトランジスタ53のゲート電極、PMOSトランジスタ54のゲート電極に出力する。これにより、スイッチとして働くPMOSトランジスタ42、52、NMOSトランジスタ43、53はオンになる。

#### 【0079】

制御回路31は、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号YAL0をワンショットパルス信号（Hiレベル“1”）として反転素子34、36の入力端子に出力する。

反転素子34は、Yアドレスバッファ制御信号YAL0をLowレベル“0”にしてPMOSトランジスタ42のドレイン電極、NMOSトランジスタ43のドレイン電極に出力する。このとき、PMOSトランジスタ42、NMOSトランジスタ43がオンであるため、反転素子34からのYアドレスバッファ制御信号YAL0“0”は、PMOSトランジスタ42、NMOSトランジスタ43を介して反転素子46の入力端子に出力される。

反転素子46は、そのYアドレスバッファ制御信号YAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号YAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

#### 【0080】

制御回路31は、タイミングT1における内部クロック信号ICLKの立ち上

がりエッジに応じて、Yアドレスバッファ制御信号N Y A L 0をワンショットパルス信号（H i レベル“1”）として反転素子3 5、3 7の入力端子に出力する。

反転素子3 5は、Yアドレスバッファ制御信号N Y A L 0をL o w レベル“0”にしてPMOSトランジスタ5 2のドレイン電極、NMOSトランジスタ5 3のドレイン電極に出力する。このとき、PMOSトランジスタ5 2、NMOSトランジスタ5 3がオンであるため、反転素子3 5からのYアドレスバッファ制御信号N Y A L 0 “0”は、PMOSトランジスタ5 2、NMOSトランジスタ5 3を介して反転素子5 6の入力端子に出力される。

反転素子5 6は、そのYアドレスバッファ制御信号N Y A L 0 “0”をH i レベル“1”にして、前述のYアドレスバッファ制御信号N Y A L “1”としてYアドレスバッファ回路1 0、カラム系コントロール回路1 4に出力する。

### 【0081】

次に、（I I I）カラムアドレス遅延動作モードとして、カラムアドレス遅延制御信号L T A Aがアクティブ状態であり、コマンドがライトコマンドであるときのコマンドデコーダ回路6 2の動作を説明する。モード切替回路2 3は、カラムアドレス遅延制御信号L T A Aをアクティブ状態（H i レベル“1”）にしてコマンドデコーダ回路6 2のN A N D回路3 3の一方の入力端子に出力する。

この場合、N A N D回路3 3は、カラムアドレス遅延制御信号L T A A “1”とコマンド信号W B S T “0”とにより出力信号をH i レベル“1”にして反転素子4 1の入力端子、NMOSトランジスタ4 3のゲート電極、PMOSトランジスタ4 4のゲート電極、反転素子5 1の入力端子、NMOSトランジスタ5 3のゲート電極、PMOSトランジスタ5 4のゲート電極に出力する。これにより、スイッチとして働くPMOSトランジスタ4 2、5 2、NMOSトランジスタ4 3、5 3はオンになり、それ以降は（I）、（I I）の場合と同じである。

### 【0082】

次に、（I V）カラムアドレス遅延動作モードとして、カラムアドレス遅延制御信号L T A Aがアクティブ状態であり、コマンドがリードコマンドであるときのコマンドデコーダ回路6 2の動作を説明する。モード切替回路2 3は、カラム

アドレス遅延制御信号L T A Aをアクティブ状態（H i レベル“1”）にしてコマンドデコーダ回路6 2のN A N D回路3 3の一方の入力端子に出力する。

### 【0083】

制御回路3 1は、コマンド初段回路1 1からコマンドC C S、C R A S、C C A S、C W E（リードコマンド）を入力すると、クロック初段回路1 3からのタイミングT 0における内部クロック信号I C L Kの立ち上がりエッジに応じて、コマンド信号W B S Tをインアクティブ状態（L o w レベル“0”）にしてカラム系コントロール回路1 4と反転素子3 2の入力端子とに出力する。反転素子3 2は、コマンド信号W B S T “0”をH i レベル“1”にしてN A N D回路3 3の他方の入力端子に出力する。

N A N D回路3 3は、カラムアドレス遅延制御信号L T A A “1”とコマンド信号W B S T “1”により出力信号をL o w レベル“0”にして反転素子4 1の入力端子、N M O Sトランジスタ4 3のゲート電極、P M O Sトランジスタ4 4のゲート電極、反転素子5 1の入力端子、N M O Sトランジスタ5 3のゲート電極、P M O Sトランジスタ5 4のゲート電極に出力する。これにより、スイッチとして働くP M O Sトランジスタ4 4、5 4、N M O Sトランジスタ4 5、5 5はオンになる。

### 【0084】

制御回路3 1は、タイミングT 0における内部クロック信号I C L Kの立ち上がりエッジに応じて、Yアドレスバッファ制御信号Y A L 0をワンショットパルス信号（H i レベル“1”）として反転素子3 4、3 6の入力端子に出力する。

反転素子3 6は、Yアドレスバッファ制御信号Y A L 0をL o w レベル“0”にしてD E R A Y回路3 8の初段の反転素子の入力端子に出力する。D E R A Y回路3 8の各反転素子が順にYアドレスバッファ制御信号Y A L 0のレベルを反転する。D E R A Y回路3 8の各反転素子が順にYアドレスバッファ制御信号Y A L 0のレベルを反転したときに要する時間は、前述の所定の時間 $t_{D E R A Y}$ に相当する。D E R A Y回路3 8の最終段の反転素子は、Yアドレスバッファ制御信号Y A L 0をL o w レベル“0”にしてP M O Sトランジスタ4 4のドレイン電極、N M O Sトランジスタ4 5のドレイン電極に出力する。このとき、P M

OSトランジスタ44、NMOSトランジスタ45がオンであるため、DERAY回路38からのYアドレスバッファ制御信号YAL0“0”は、PMOSトランジスタ42、NMOSトランジスタ43を介して反転素子46の入力端子に出力される。

反転素子46は、そのYアドレスバッファ制御信号YAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号YAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

### 【0085】

制御回路31は、タイミングT1における内部クロック信号ICKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYAL0をワンショットパルス信号（Hiレベル“1”）として反転素子35、37の入力端子に出力する。

反転素子37は、Yアドレスバッファ制御信号NYAL0をLowレベル“0”にしてDERAY回路39の初段の反転素子の入力端子に出力する。DERAY回路39の各反転素子が順にYアドレスバッファ制御信号NYAL0のレベルを反転する。DERAY回路39の各反転素子が順にYアドレスバッファ制御信号NYAL0のレベルを反転したときに要する時間は、前述の所定の時間t<sub>DELAY</sub>に相当する。DERAY回路39の最終段の反転素子は、Yアドレスバッファ制御信号NYAL0をLowレベル“0”にしてPMOSトランジスタ54のドレイン電極、NMOSトランジスタ55のドレイン電極に出力する。このとき、PMOSトランジスタ54、NMOSトランジスタ55がオンであるため、DERAY回路39からのYアドレスバッファ制御信号NYAL0“0”は、PMOSトランジスタ52、NMOSトランジスタ53を介して反転素子56の入力端子に出力される。

反転素子46は、そのYアドレスバッファ制御信号NYAL0“0”をHiレベル“1”にして、前述のYアドレスバッファ制御信号NYAL“1”としてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

### 【0086】

図2は、本発明の半導体記憶装置の（III）カラムアドレス遅延動作モード

のライト動作を示すタイミングチャートである。図3は、本発明の半導体記憶装置の（IV）カラムアドレス遅延動作モードのリード動作を示すタイミングチャートである。

### 【0087】

まず、（III）カラムアドレス遅延動作モードのライト動作について説明する。

図2に示されるように、コマンドデコーダ回路62は、コマンド初段回路11からコマンドCCS、CRAS、CCAS、CWE（ライトコマンド）を入力すると、タイミングT0における内部クロック信号ICLKの立ち上がりエッジに応じて、コマンド信号WBSTをアクティブ状態（Hiレベル）にしてカラム系コントロール回路14に出力する。

コマンドデコーダ回路62は、モード切替回路23からのカラムアドレス遅延制御信号LTAAがアクティブ状態であるか否かに関わらず、タイミングT2における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号YALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

コマンドデコーダ回路62は、モード切替回路23からのカラムアドレス遅延制御信号LTAAがアクティブ状態であるか否かに関わらず、タイミングT3における内部クロック信号ICLKの立ち上がりエッジに応じて、Yアドレスバッファ制御信号NYALをワンショットパルス信号としてアクティブ状態（Hiレベル）にしてYアドレスバッファ回路10、カラム系コントロール回路14に出力する。

それ以降、本発明の半導体記憶装置は、（I）通常動作モードと同様のライト動作を実行する。

### 【0088】

このように、本発明の半導体記憶装置のカラムアドレス遅延動作モードでは、ライト動作時に、Yアドレスバッファ制御信号YAL、NYALがアクティブ状態になるタイミングが通常動作モードと同じである。すなわち、本発明の半導体

記憶装置のカラムアドレス遅延動作モードでは、ライトコマンドが入力されたときの時間  $P_0$  におけるクロック CLK の立ち上がりから、カラムセレクト線 CSL に流れる信号がアクティブ状態 (Hi レベル) になるまでの時間は、通常動作モードと同じである。このため、本発明の半導体記憶装置では、カラムアドレス遅延動作モードの  $t_{WR}$  (ライトコマンドが入力されるクロックの 2 クロック後から、ワード線をリセットする動作を行うための基本クロックまでの時間) が通常動作モードの  $t_{WR}$  と同じである。

#### 【0089】

一方、(IV) カラムアドレス遅延動作モードのリード動作では、第 2 従来例の半導体記憶装置のカラムアドレス遅延動作モードのリード動作を実行する。すなわち、本発明の半導体記憶装置のカラムアドレス遅延動作モードでは、リード動作時に、Y アドレスバッファ制御信号 YAL、NYAL がアクティブ状態になるタイミングは、通常動作モードに比べて所定の時間  $t_{DELAY}$  だけ遅れる。

図 1、図 3 には示していないが、カラムアドレス遅延動作モードでは、カラムセレクト線 CSL に流れる信号がアクティブ状態 (Hi レベル) になるタイミングが通常動作モードに比べて遅れることに伴い、センスアンプ回路 5、6 から DQ PAD までの  $t_{AA}$  パスが通常動作モードに比べて所定の時間  $t_{DELAY}$  だけ遅れる。

#### 【0090】

このように、本発明の半導体記憶装置のカラムアドレス遅延動作モードでは、リード動作時に、カラムセレクト線 CSL に流れる信号がアクティブ状態 (Hi レベル) になるタイミングは、通常動作モードに比べて所定の時間  $t_{DELAY}$  だけ遅れる。したがって、本発明の半導体記憶装置のカラムアドレス遅延動作モードでは、アクティブコマンドにより活性化されたセンスアンプ回路 5、6 のデータが、リードコマンドにより活性化されたカラムセレクト線 CSL によって破壊されることがない。

#### 【0091】

カラムアドレス遅延動作モード (リード動作) 時にカラムセレクト線 CSL に流れる信号がアクティブ状態 (Hi レベル) になるタイミングは、カラムアドレ

ス遲延動作モード（ライト動作）時にカラムセレクト線CSLに流れる信号がアクティブ状態（Hiレベル）になるタイミングよりも2クロック分早いため、tRCDは、リード動作時のtRCDに律速される。このため、本発明の半導体記憶装置では、カラムアドレス遅延動作モードのtAA（リードコマンドが入力されるクロックから、DQ PADに全てのデータが期待値通りに出力されるまでの時間）が、通常動作モードのtAAに比べて所定の時間tDELAYだけ遅れるが、カラムアドレス遅延動作モードのtRCD（アクティブコマンドが入力されるクロックから、カラムコマンドが入力されるクロックまでの時間）を通常動作モードのtRCDに比べて所定の時間tDELAYだけ早めることができる。

#### 【0092】

このように、本発明の半導体記憶装置は、2nビットプリフェッチ方式が採用されるDDR-SDRAMにおいて、使用環境（データ長、バースト長）に応じることができる。

#### 【0093】

##### 【発明の効果】

以上の説明により、本発明の半導体記憶装置は、使用環境に応じることができます。

本発明の半導体記憶装置は、カラムアドレス遅延動作モードのtWRが通常動作モードのtWRと同じであり、且つ、カラムアドレス遅延動作モードのtRC Dを通常動作モードのtRCDに比べて早めることができる。

##### 【図面の簡単な説明】

###### 【図1】

図1は、本発明の半導体記憶装置の回路構成を示す。

###### 【図2】

図2は、本発明の半導体記憶装置の遅延動作モードのライト動作を示すタイミングチャートである。

###### 【図3】

図3は、本発明の半導体記憶装置の遅延動作モードのリード動作を示すタイミングチャートである。

**【図4】**

図4は、本発明の半導体記憶装置のコマンドデコーダ回路の構成を示す。

**【図5】**

図5は、第1従来例の半導体記憶装置の回路構成を示す。

**【図6】**

図6は、第1従来例の半導体記憶装置のライト動作を示すタイミングチャートである。

**【図7】**

図7は、第1従来例の半導体記憶装置のリード動作を示すタイミングチャートである。

**【図8】**

図8は、第2従来例の半導体記憶装置の回路構成を示す。

**【図9】**

図9は、第2従来例の半導体記憶装置の遅延動作モードのライト動作を示すタイミングチャートである。

**【図10】**

図10は、第2従来例の半導体記憶装置の遅延動作モードのリード動作を示すタイミングチャートである。

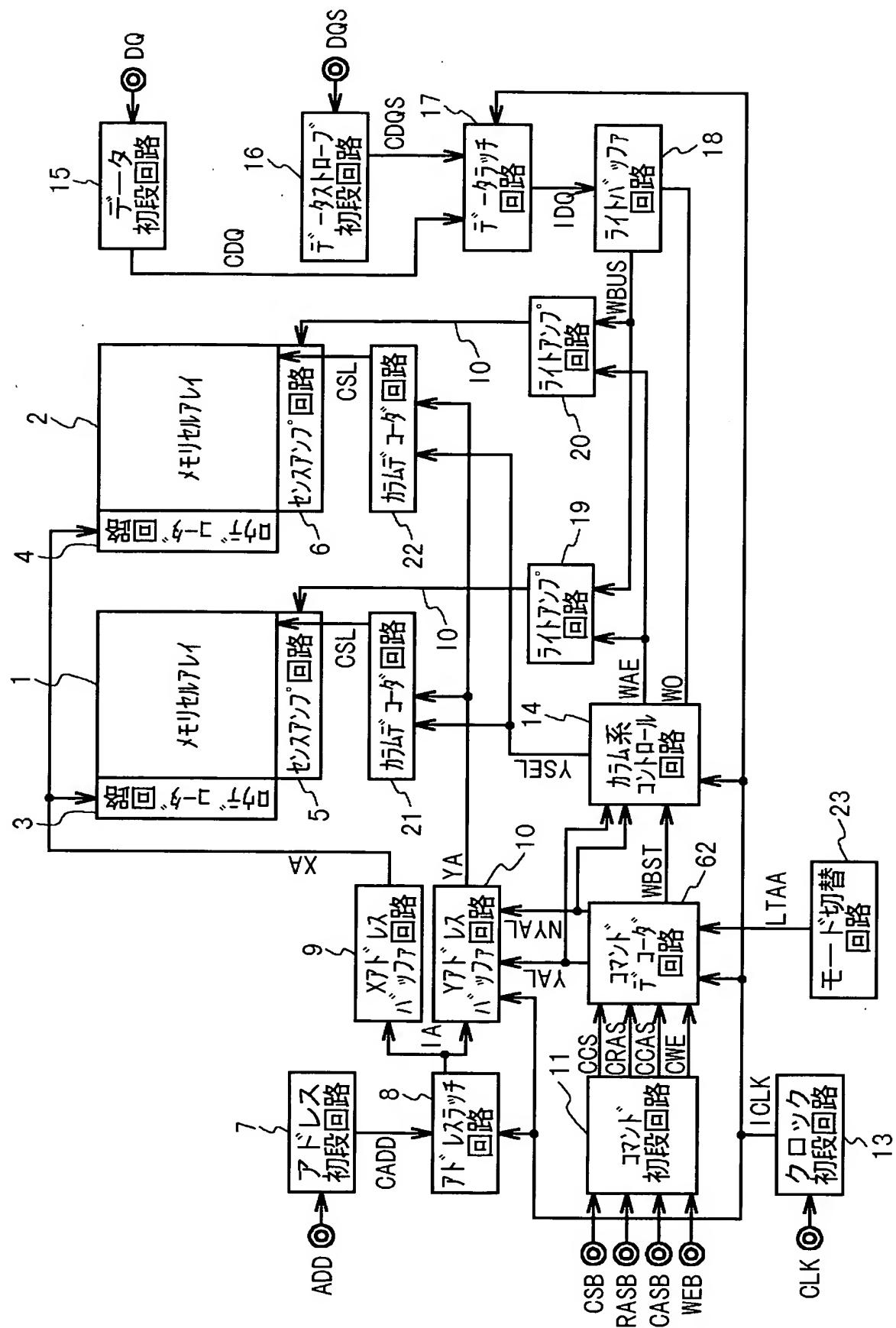
**【符号の説明】**

- 1、2 メモリセルアレイ
- 3、4 ロウデコーダ回路
- 5、6 センスアンプ回路
- 7 アドレス初段回路
- 8 アドレスラッチ回路
- 9 Xアドレスバッファ回路
- 10 Yアドレスバッファ回路
- 11 コマンド初段回路
- 12 コマンドデコーダ回路
- 13 クロック初段回路

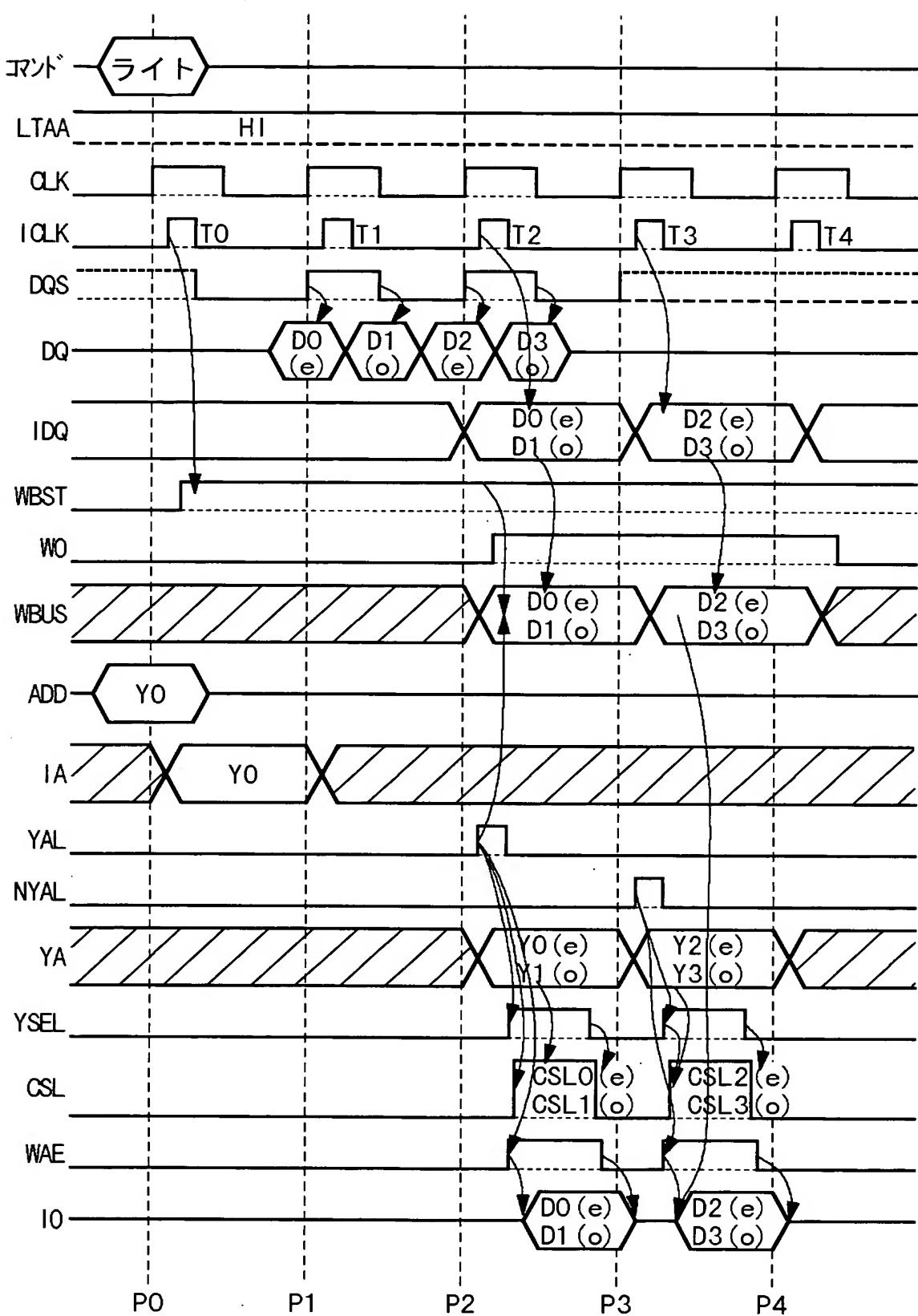
- 1 4 カラム系コントロール回路
- 1 5 データ初段回路
- 1 6 データストローブ初段回路
- 1 7 データラッチ回路
- 1 8 ライトバッファ回路
- 1 9、2 0 ライトアンプ回路
- 2 1、2 2 カラムデコーダ回路
- 2 3 モード切替回路
- 3 1 制御回路
- 3 2、3 4、3 5、3 6、3 7、4 1、4 6、5 1、5 6 反転素子
- 3 3 N A N D回路
- 3 8、3 9 D E R A Y回路
- 4 0 マルチプレクサ回路
- 4 2、4 4、5 2、5 4 P M O Sトランジスタ
- 4 3、4 5、5 3、5 5 N M O Sトランジスタ
- 6 2 コマンドデコーダ回路

【書類名】 図面

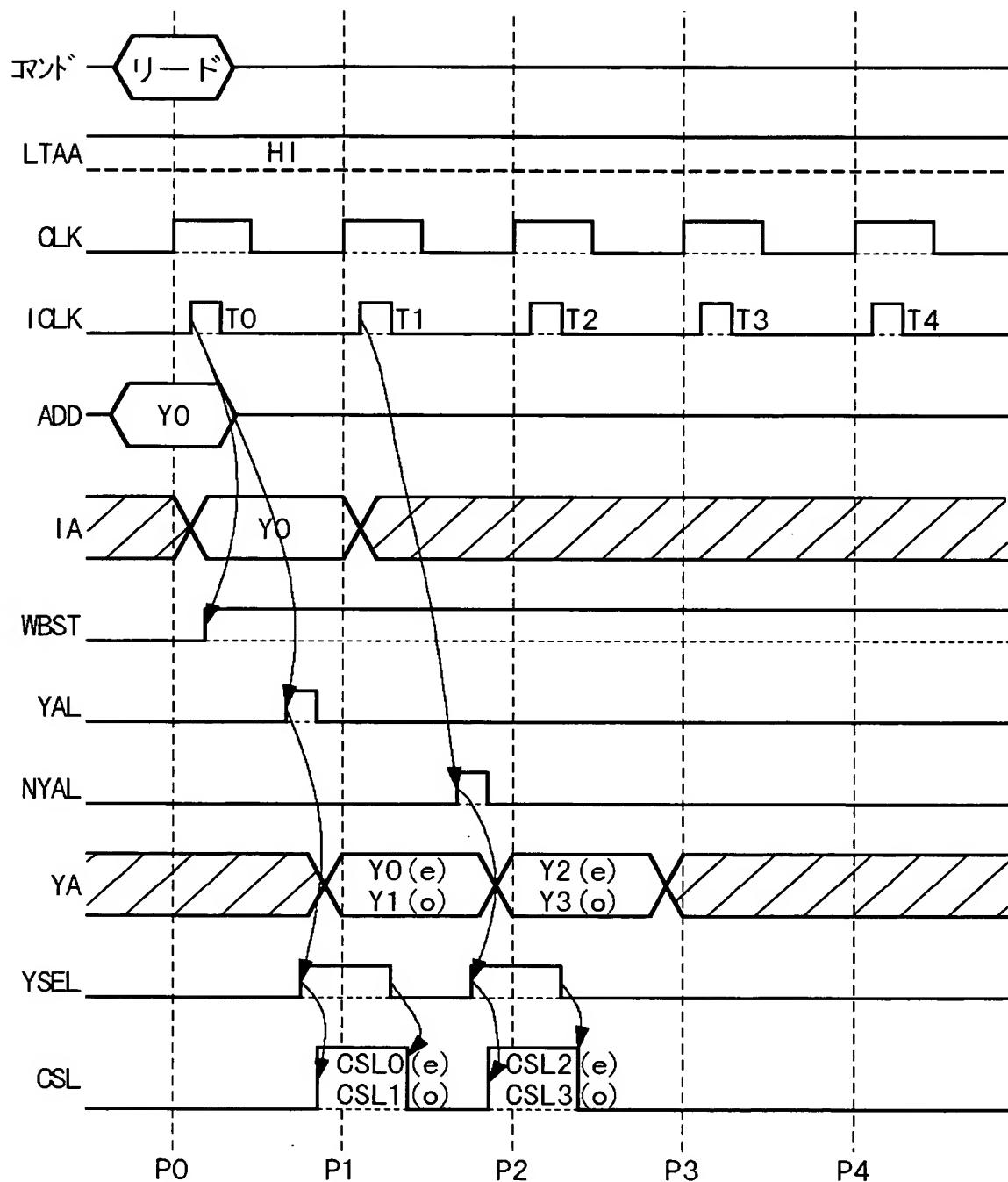
【図1】



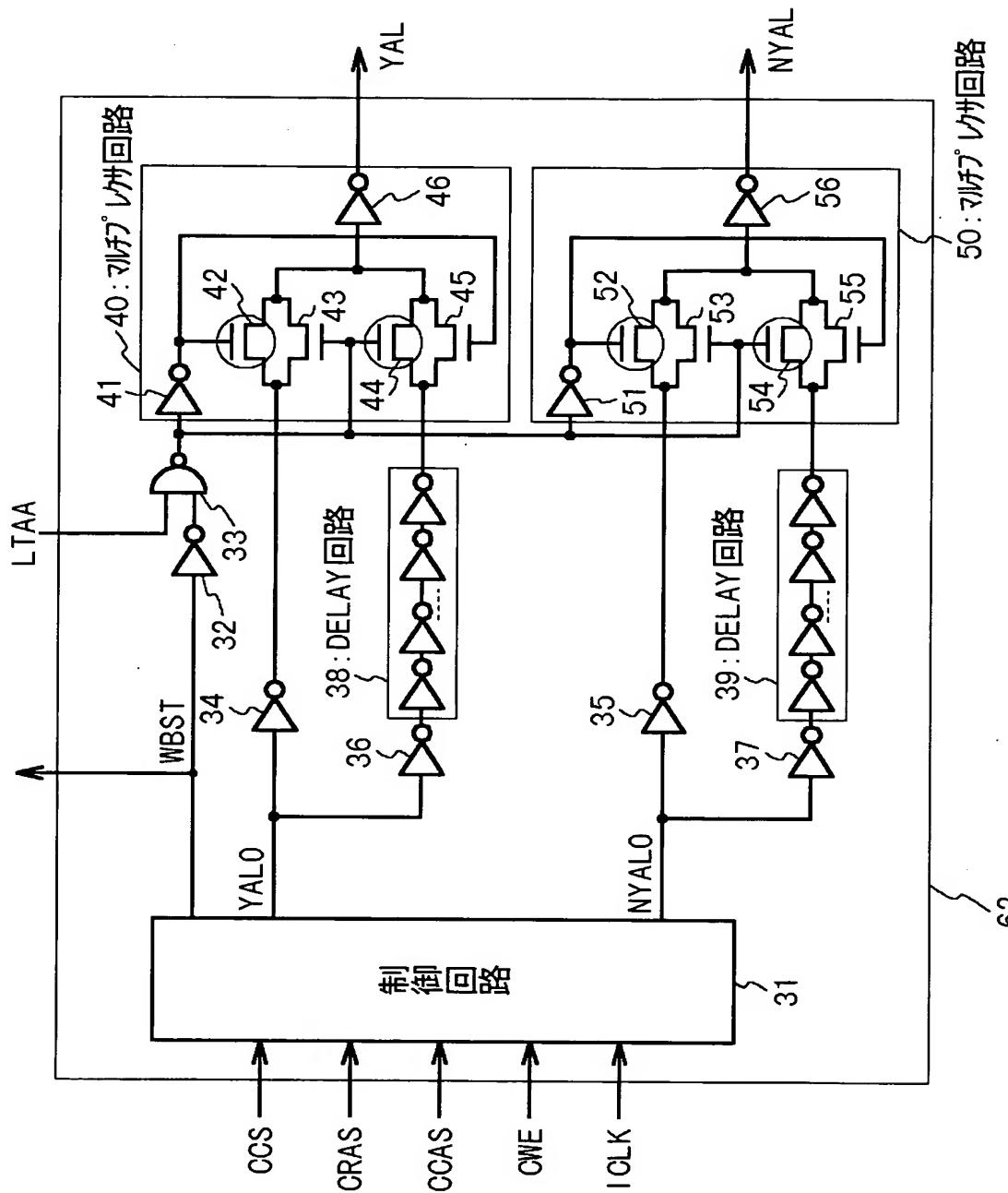
【図2】



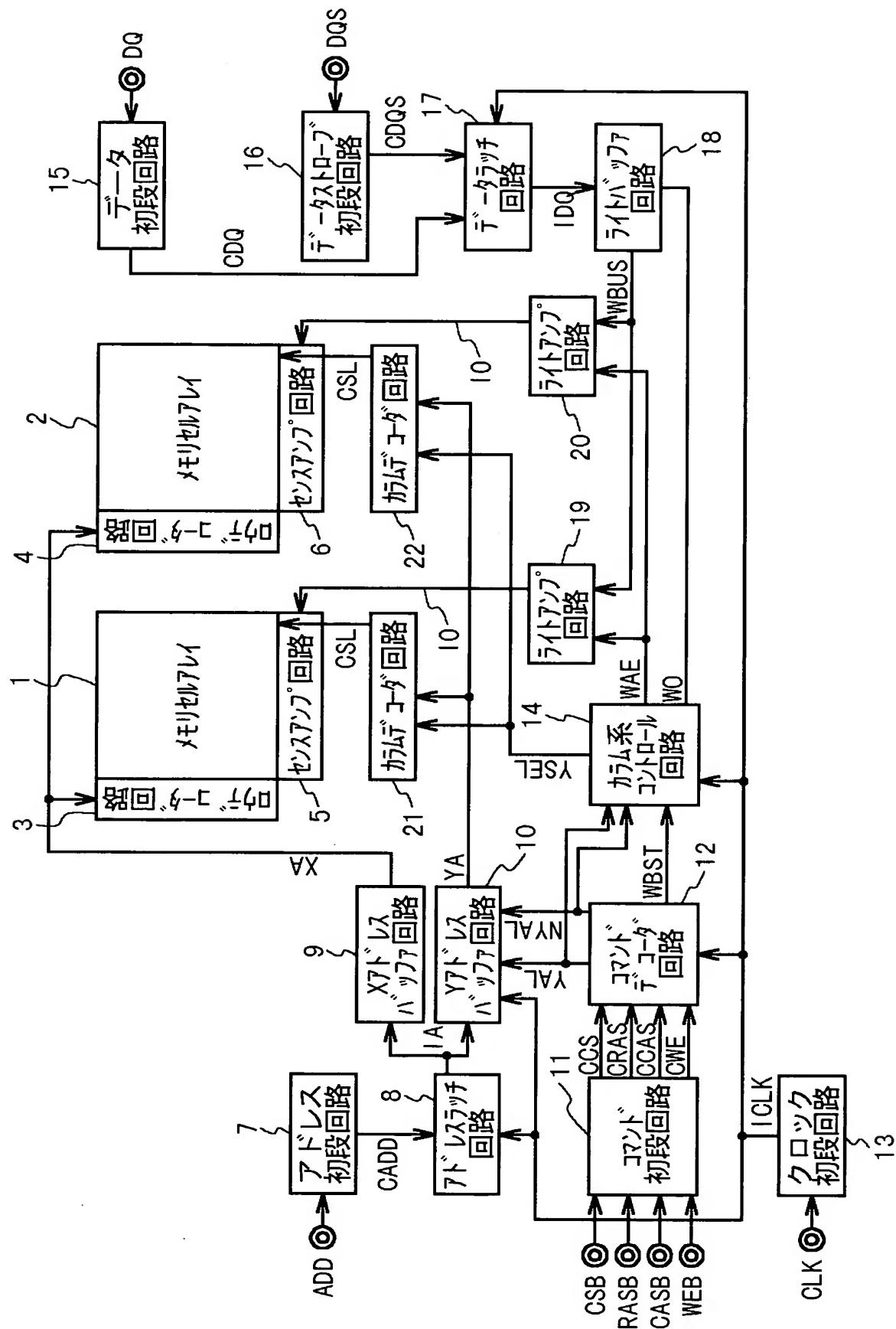
【図3】



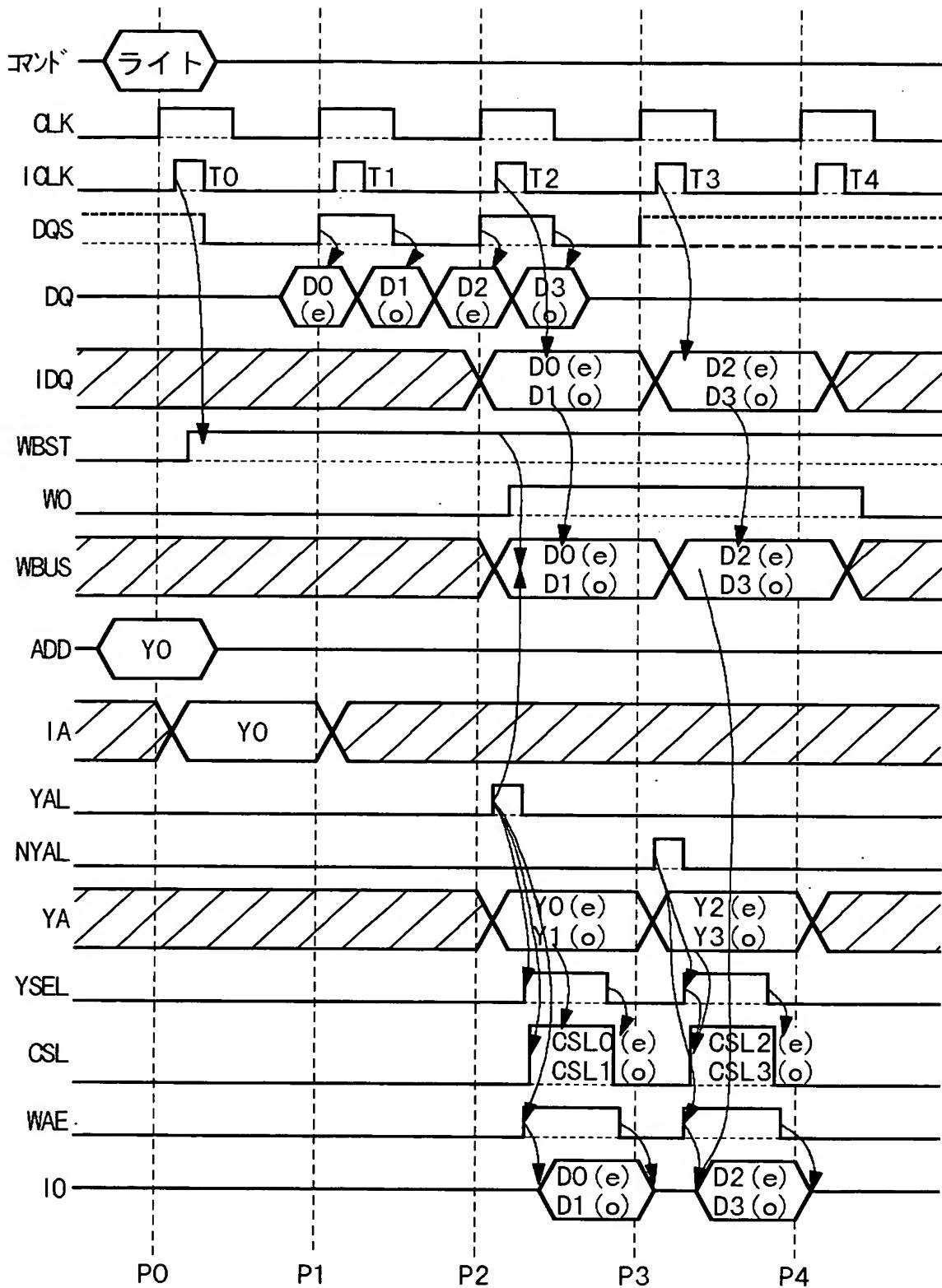
【図4】



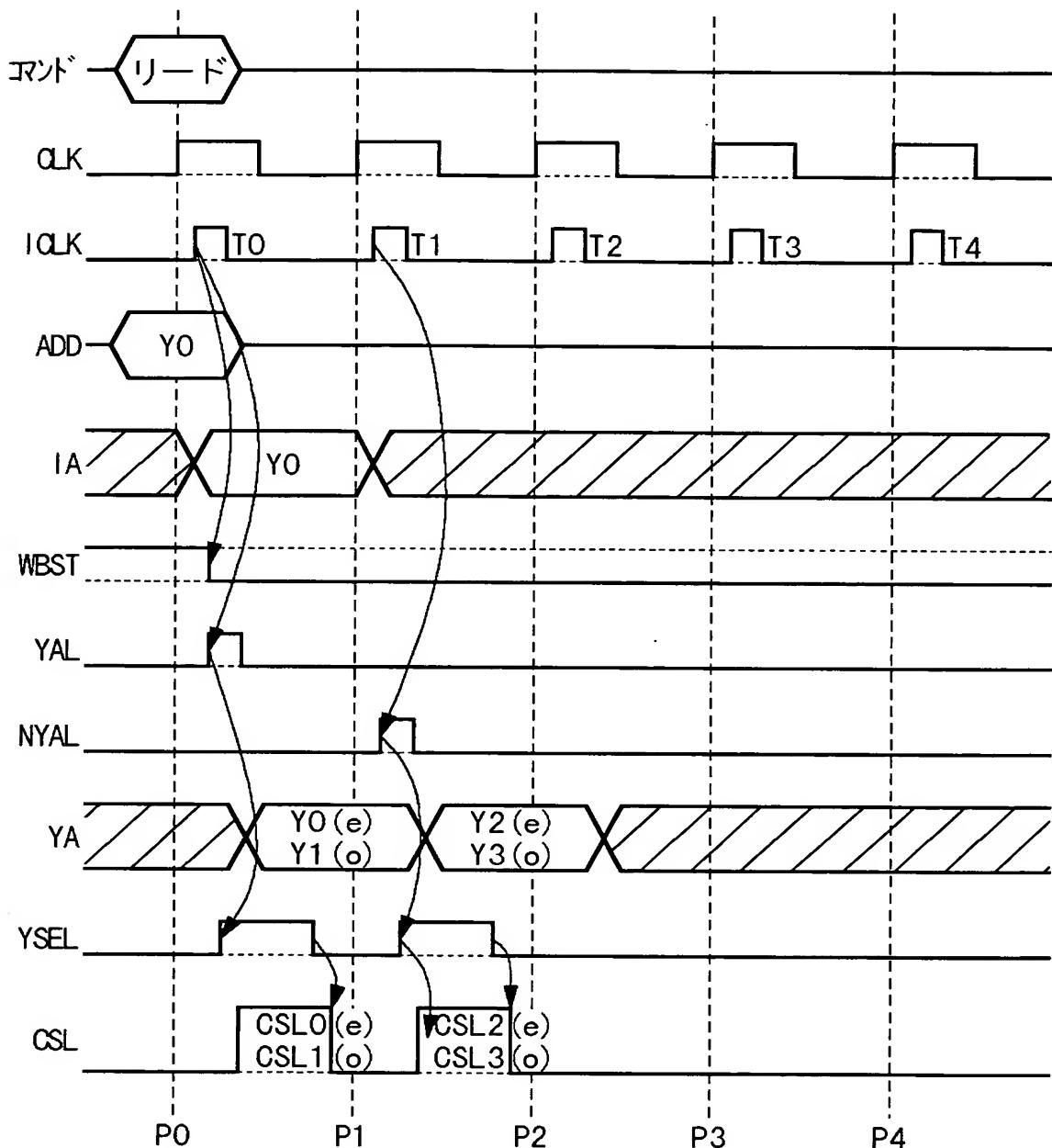
【図5】



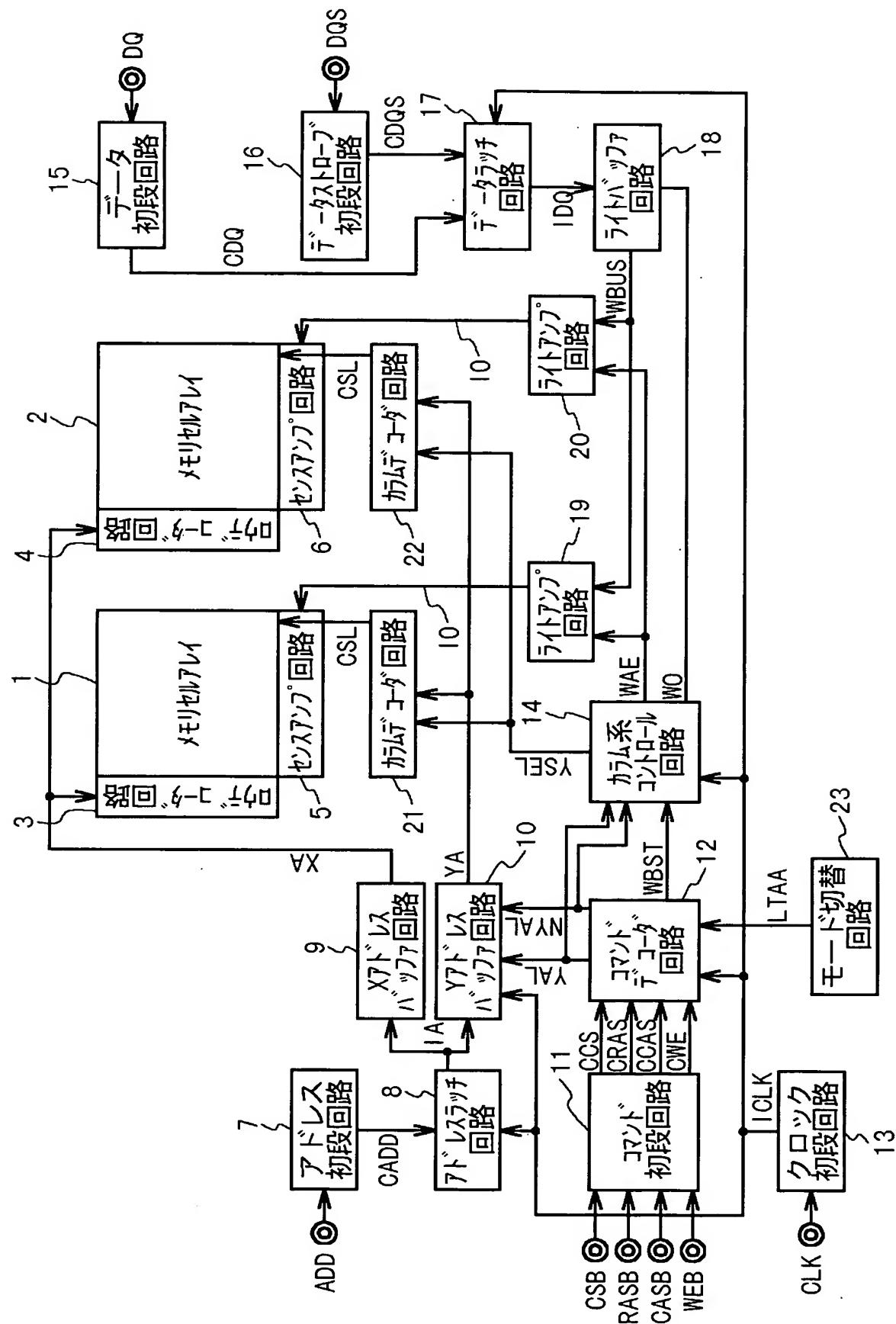
【図 6】



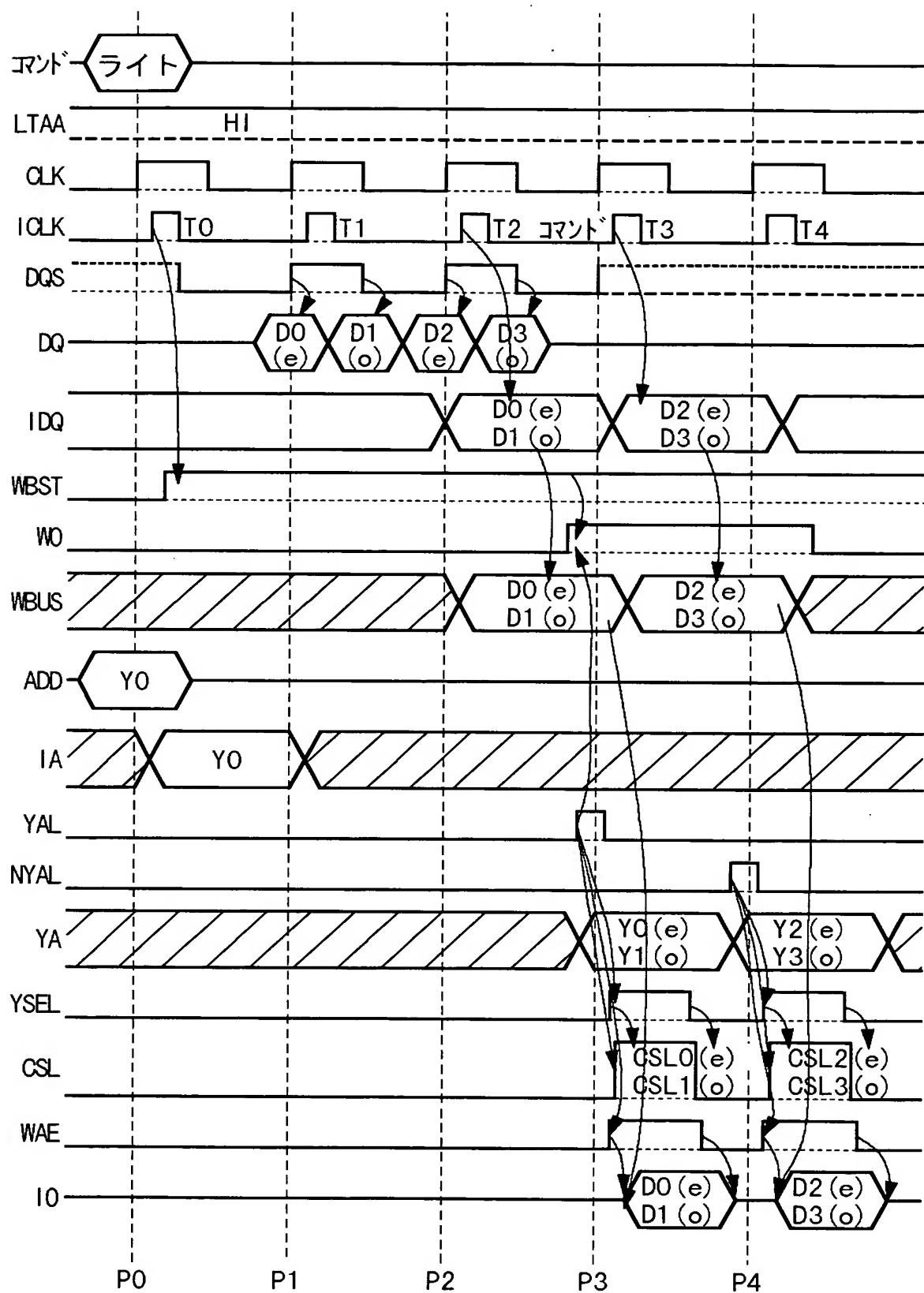
【図7】



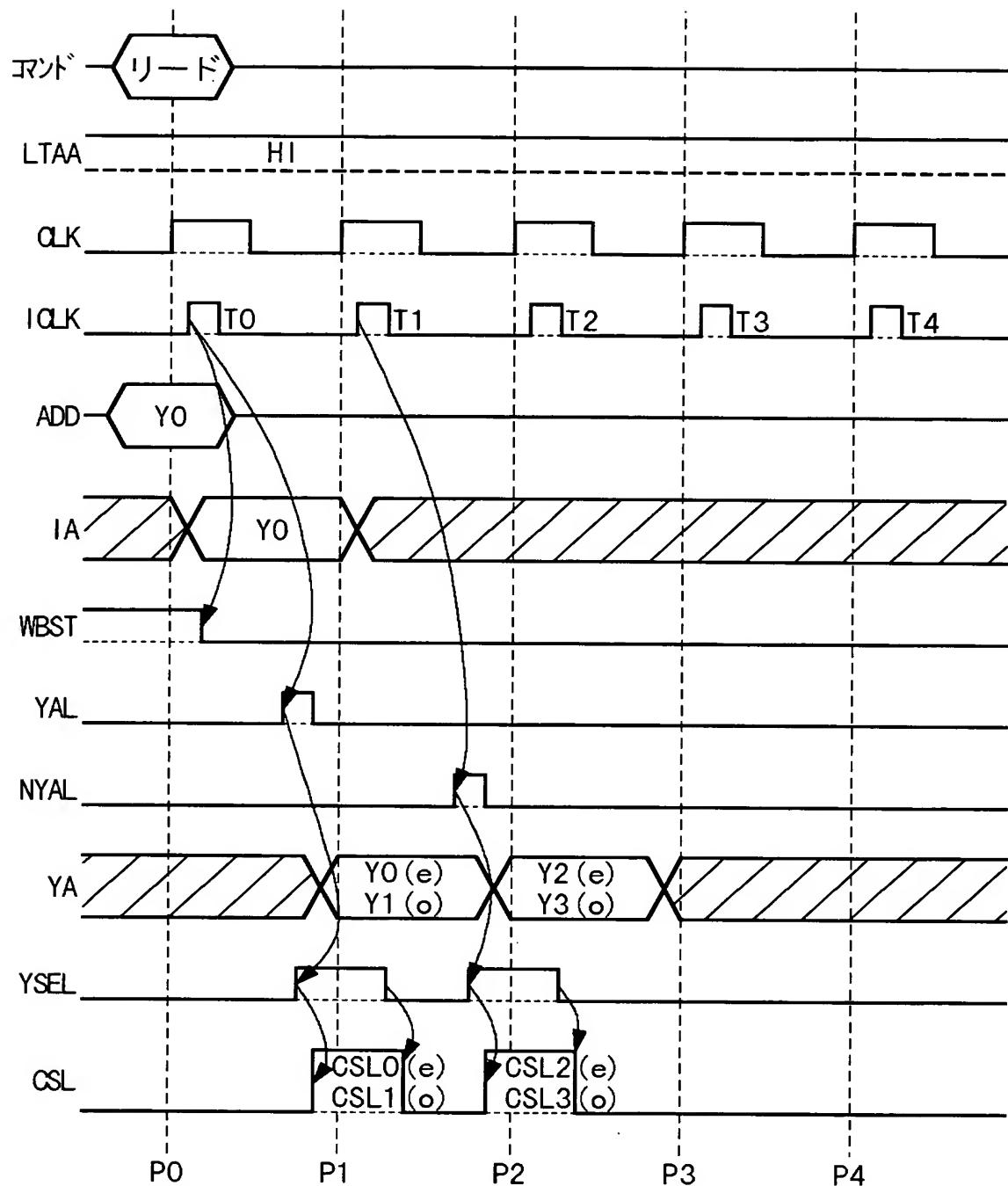
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 使用環境に応じることができる半導体記憶装置を提供する。

【解決手段】 複数のメモリセルアレイ（1、2）は、複数のメモリセルを備えている。モード制御部（23）は、遅延制御信号（LTAA）を出力する。命令実行部（3～10、14～22）は、外部からのアドレスとアドレスバッファ制御信号（YAL、NYAL）とに基づいて複数のメモリセルアレイ（1、2）にアクセスする。コマンド制御部（11、62）は、外部からのコマンドと遅延制御信号（LTAA）とに基づいて、アドレスバッファ制御信号（YAL、NYAL）を命令実行部（3～10、14～22）に出力する。このコマンド制御部（11、62）は、遅延制御信号（LTAA）がインアクティブ状態であり、コマンドがライトコマンド又はリードコマンドである通常動作モードのときと、遅延制御信号（LTAA）がアクティブ状態であり、コマンドがライトコマンドであるライト命令遅延動作モードのときに、クロック信号（CLK）に同期してアドレスバッファ制御信号（YAL、NYAL）を出力する。コマンド制御部（11、62）は、遅延制御信号（LTAA）がアクティブ状態であり、コマンドがリードコマンドであるリード命令遅延動作モードのときに、クロック信号（CLK）から遅延してアドレスバッファ制御信号（YAL、NYAL）を出力する。

【選択図】 図1

特願2002-332826

出願人履歴情報

識別番号 [500174247]

1. 変更年月日 2000年 7月12日

[変更理由] 名称変更

住 所 東京都中央区八重洲2-2-1  
氏 名 エルピーダメモリ株式会社